

0380760

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日      2003年12月25日  
Date of Application:

出願番号      特願2003-429163  
Application Number:

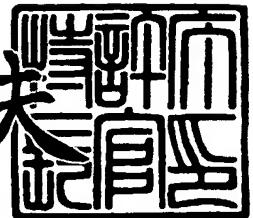
[ST. 10/C] : [JP2003-429163]

出願人      株式会社東芝  
Applicant(s):

2004年 1月27日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康夫



出証番号 出証特2004-3003151

**【書類名】** 特許願  
**【整理番号】** A000306239  
**【提出日】** 平成15年12月25日  
**【あて先】** 特許庁長官 殿  
**【国際特許分類】** H01L 29/76  
 H01L 27/10

**【発明者】**

**【住所又は居所】** 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内  
**【氏名】** 高島 大三郎

**【特許出願人】**

**【識別番号】** 000003078  
**【氏名又は名称】** 株式会社 東芝

**【代理人】**

**【識別番号】** 100058479  
**【弁理士】**  
**【氏名又は名称】** 鈴江 武彦  
**【電話番号】** 03-3502-3181

**【選任した代理人】**

**【識別番号】** 100091351  
**【弁理士】**  
**【氏名又は名称】** 河野 哲

**【選任した代理人】**

**【識別番号】** 100088683  
**【弁理士】**  
**【氏名又は名称】** 中村 誠

**【選任した代理人】**

**【識別番号】** 100108855  
**【弁理士】**  
**【氏名又は名称】** 蔵田 昌俊

**【選任した代理人】**

**【識別番号】** 100084618  
**【弁理士】**  
**【氏名又は名称】** 村松 貞男

**【選任した代理人】**

**【識別番号】** 100092196  
**【弁理士】**  
**【氏名又は名称】** 橋本 良郎

**【先の出願に基づく優先権主張】**

**【出願番号】** 特願2003-329851  
**【出願日】** 平成15年 9月22日

**【手数料の表示】**

**【予納台帳番号】** 011567  
**【納付金額】** 21,000円

**【提出物件の目録】**

**【物件名】** 特許請求の範囲 1  
**【物件名】** 明細書 1  
**【物件名】** 図面 1  
**【物件名】** 要約書 1  
**【包括委任状番号】** 9705037

**【書類名】特許請求の範囲****【請求項1】**

それが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備する複数の第1メモリセルと、

前記複数の第1メモリセルのそれぞれの前記セルトランジスタのドレイン端子を第1ローカルビット線とし且つそれぞれの前記強誘電体キャパシタの他端を第1プレート線として、ソース端子を前記第1プレート線と接続され、且つドレイン端子を前記第1ローカルビット線と接続された、第1リセットトランジスタと、

ソース端子を前記第1ローカルビット線と接続され、且つドレイン端子を第1ビット線と接続された、第1ブロック選択トランジスタと、

を具備する第1メモリセルブロックを有することを特徴とする半導体集積回路装置。

**【請求項2】**

それが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備する複数の第2メモリセルと、

前記複数の第2メモリセルのそれぞれの前記セルトランジスタのドレイン端子を第2ローカルビット線とし且つそれぞれの前記強誘電体キャパシタの他端を前記第1プレート線と異なる第2プレート線として、ソース端子を前記第2プレート線と接続され、且つドレイン端子を前記第2ローカルビット線と接続された、第2リセットトランジスタと、

ソース端子を前記第2ローカルビット線と接続され、且つドレイン端子を第2ビット線と接続された、第2ブロック選択トランジスタと、

を具備する第2メモリセルブロックをさらに有し、

前記第1ブロック選択トランジスタのゲート端子に供給される第1ブロック選択信号と、前記第2ブロック選択トランジスタのゲート端子に供給される第2ブロック選択信号とは異なることを特徴とする請求項1に記載の半導体集積回路装置。

**【請求項3】**

請求項1または請求項2に記載の半導体集積回路装置において、スタンバイ時、前記セルトランジスタはオン状態とされ、且つアクティブ時、選択された前記第1メモリセル以外の前記第1メモリセルの前記セルトランジスタはオフ状態とされる、ことを特徴とする半導体集積回路装置。

**【請求項4】**

請求項3に記載の半導体集積回路装置において、スタンバイ時、前記第1リセットトランジスタはオン状態とされ、前記第1ブロック選択トランジスタはオフ状態とされることを特徴とする半導体集積回路装置。

**【請求項5】**

請求項1または請求項2に記載の半導体集積回路装置において、スタンバイ時、前記第1プレート線は接地電位とされ、且つアクティブ時、選択されていない前記第1メモリセルの前記ワード線の電位は、選択された前記第1メモリセルの前記ワード線の電位より低くされることを特徴とする半導体集積回路装置。

**【請求項6】**

請求項1または請求項2に記載の半導体集積回路装置において、スタンバイ時、前記第1プレート線は接地電位より高い電位とされることを特徴とする半導体集積回路装置。

**【請求項7】**

請求項1または請求項2に記載の半導体集積回路装置において、アクティブ時、前記第1プレート線の電位は、ローレベルからハイレベル、およびハイレベルからローレベルに駆動されることを特徴とする半導体集積回路装置。

**【請求項8】**

請求項2に記載の半導体集積回路装置において、アクティブ時、前記第1プレート線または前記第2プレート線のいずれかの電位は、ローレベルからハイレベル、およびハイレ

ベルからローレベルに駆動されることを特徴とする半導体集積回路装置。

**【請求項9】**

請求項1に記載の半導体集積回路装置において、アクティブ時、前記第1ブロック選択トランジスタはオン状態とされることを特徴とする半導体集積回路装置。

**【請求項10】**

請求項2に記載の半導体集積回路装置において、アクティブ時、前記第1ブロック選択トランジスタまたは第2ブロック選択トランジスタはオン状態とされることを特徴とする半導体集積回路装置。

**【請求項11】**

それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備する複数の第1メモリセルと、

前記複数の第1メモリセルのそれぞれの前記セルトランジスタのドレイン端子を第1ローカルビット線とし且つそれぞれの前記強誘電体キャパシタの他端を第1プレート線として、ソース端子を第1電源と接続され、且つドレイン端子を前記第1ローカルビット線と接続された、第1リセットトランジスタと、

ソース端子を前記第1ローカルビット線と接続され、且つドレイン端子を第1ビット線と接続された、第1ブロック選択トランジスタと、

を具備する第1メモリセルブロックを有することを特徴とする半導体集積回路装置。

**【請求項12】**

それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備する複数の第2メモリセルと、

前記複数の第2メモリセルのそれぞれの前記セルトランジスタのドレイン端子を第2ローカルビット線とし且つそれぞれの前記強誘電体キャパシタの他端を前記第1プレート線と異なる第2プレート線として、ソース端子を前記第1電源と接続され、且つドレイン端子を前記第2ローカルビット線と接続された、第2リセットトランジスタと、

ソース端子を前記第2ローカルビット線と接続され、且つドレイン端子を第2ビット線と接続された、第2ブロック選択トランジスタと、

を具備する第2メモリセルブロックをさらに有し、

前記第1ブロック選択トランジスタのゲート端子に供給される第1ブロック選択信号と、前記第2ブロック選択トランジスタのゲート端子に供給される第2ブロック選択信号とは異なることを特徴とする請求項11に記載の半導体集積回路装置。

**【請求項13】**

請求項11または請求項12に記載の半導体集積回路装置において、スタンバイ時、前記セルトランジスタはオン状態とされ、且つアクティブ時、選択された前記第1メモリセル以外の前記第1メモリセルの前記セルトランジスタはオフ状態とされる、ことを特徴とする半導体集積回路装置。

**【請求項14】**

請求項13に記載の半導体集積回路装置において、スタンバイ時、前記第1リセットトランジスタはオン状態とされ、前記第1ブロック選択トランジスタはオフ状態とされることを特徴とする半導体集積回路装置。

**【請求項15】**

請求項14に記載の半導体集積回路装置において、スタンバイ時、前記第1電源の電位は、前記第1プレート線の電位と同じであることを特徴とする半導体集積回路装置。

**【請求項16】**

請求項11または請求項12に記載の半導体集積回路装置において、スタンバイ時、前記第1プレート線は接地電位とされ、且つアクティブ時、選択されていない前記第1メモリセルの前記ワード線の電位は、選択された前記第1メモリセルの前記ワード線の電位より低くされることを特徴とする半導体集積回路装置。

**【請求項 17】**

請求項11または請求項12に記載の半導体集積回路装置において、スタンバイ時、前記第1プレート線は接地電位より高い電位とされることを特徴とする半導体集積回路装置。

**【請求項 18】**

請求項11または請求項12に記載の半導体集積回路装置において、アクティブ時、前記第1プレート線の電位は、ローレベルからハイレベル、およびハイレベルからローレベルに駆動されることを特徴とする半導体集積回路装置。

**【請求項 19】**

請求項11または請求項12に記載の半導体集積回路装置において、アクティブ時、前記第1プレート線または前記第2プレート線のいずれかの電位は、ローレベルからハイレベル、およびハイレベルからローレベルに駆動されることを特徴とする半導体集積回路装置。

**【請求項 20】**

請求項11に記載の半導体集積回路装置において、アクティブ時、前記第1ブロック選択トランジスタはオン状態とされることを特徴とする半導体集積回路装置。

**【請求項 21】**

請求項12に記載の半導体集積回路装置において、アクティブ時、前記第1ブロック選択トランジスタまたは第2ブロック選択トランジスタはオン状態とされることを特徴とする半導体集積回路装置。

**【請求項 22】**

それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備する複数のメモリセルと、

前記複数のメモリセルのそれぞれの前記セルトランジスタのドレイン端子をローカルビット線とし且つそれぞれの前記強誘電体キャパシタの他端をプレート線として、ソース端子を前記ローカルビット線と接続されたブロック選択トランジスタと、

を具備する第1メモリセルブロックおよび第2メモリセルブロックを有するメモリセルアレイを有し、

前記第1メモリセルブロックおよび前記第2メモリセルブロックの前記ブロック選択トランジスタのドレイン端子はビット線と接続され、

スタンバイ時、前記第1メモリセルブロックおよび前記第2メモリセルブロックの前記セルトランジスタおよび前記ブロック選択トランジスタはオン状態とされ、

アクティブ時、前記第1メモリセルブロックの前記ブロック選択トランジスタはオフ状態とされ、且つ前記第1メモリセルブロック内の選択された前記メモリセル以外の前記メモリセルの前記セルトランジスタはオフ状態とされる、

ことを特徴とする半導体集積回路装置。

**【請求項 23】**

ゲートを前記第1ローカルビット線と接続され、且つドレインを前記第2ビット線と接続され、且つソースを第2電源と接続された、第1増幅トランジスタと、

ゲートを前記第2ローカルビット線と接続され、且つドレインを前記第1ビット線と接続され、且つソースを前記第2電源または第3電源と接続された、第2増幅トランジスタと、

をさらに具備することを特徴とする請求項2または請求項12に記載の半導体集積回路装置。

**【請求項 24】**

請求項23に記載の半導体集積回路装置において、アクティブ時、前記第1プレート線が選択されることにより前記第1メモリセルブロック内の選択された前記第1メモリセルから前記第1ローカルビット線に第1データが読み出され、

前記第1データが、前記第1増幅トランジスタにより増幅されることにより生成された

第1增幅信号が前記第2ビット線に読み出され、

前記第2ビット線に読み出された増幅信号が前記第1ビット線および第2ビット線と接続されたセンスアンプにより増幅されることにより、前記第1增幅信号と相補の第2增幅信号が前記第1ビット線上に生成され、

前記第2增幅信号が、前記第1メモリセルブロックの前記第1ブロック選択トランジスタを介して前記選択された第1メモリセルに前記第1データが書き戻される、

ことを特徴とする半導体集積回路装置。

#### 【請求項25】

それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備する複数の第2メモリセルと、

前記複数の第2メモリセルのそれぞれの前記セルトランジスタのドレイン端子を第2ローカルビット線とし且つそれぞれの前記強誘電体キャパシタの他端を前記第1プレート線として、ソース端子を前記第1プレート線と接続され、且つドレイン端子を前記第2ローカルビット線と接続された、第2リセットトランジスタと、

ソース端子を前記第2ローカルビット線と接続され、且つドレイン端子を第2ビット線と接続された、第2ブロック選択トランジスタと、

を具備する第2メモリセルブロックをさらに有することを特徴とする請求項1に記載の半導体集積回路装置。

#### 【請求項26】

請求項25に記載の半導体集積回路装置において、スタンバイ時、前記セルトランジスタはオン状態とされ、且つアクティブ時、選択された前記第1メモリセル以外の前記メモリセルの前記セルトランジスタはオフ状態とされる、ことを特徴とする半導体集積回路装置。

#### 【請求項27】

請求項25に記載の半導体集積回路装置において、スタンバイ時、前記第1リセットトランジスタおよび前記第2リセットトランジスタはオン状態とされ、前記第1ブロック選択トランジスタおよび前記第2ブロック選択トランジスタはオフ状態とされることを特徴とする半導体集積回路装置。

#### 【請求項28】

請求項25に記載の半導体集積回路装置において、前記第1ビット線に接続された隣接した2つの前記第1メモリセルブロックは前記第1プレート線と接続されることを特徴とする半導体集積回路装置。

#### 【請求項29】

それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備する複数のメモリセルと、

前記複数のメモリセルのそれぞれの前記セルトランジスタのドレイン端子をプレート線とし且つそれぞれの前記強誘電体キャパシタの他端をローカルビット線として、ソース端子を前記プレート線と接続され、且つドレイン端子を前記ローカルビット線と接続された、リセットトランジスタと、

ソース端子を前記ローカルビット線と接続され、且つドレイン端子をビット線と接続された、ブロック選択トランジスタと、

を具備するメモリセルブロックを有することを特徴とする半導体集積回路装置。

#### 【請求項30】

請求項29に記載の半導体集積回路装置において、スタンバイ時、前記セルトランジスタはオン状態とされ、且つアクティブ時、選択された前記メモリセル以外の前記メモリセルの前記セルトランジスタはオフ状態とされる、ことを特徴とする半導体集積回路装置。

#### 【請求項31】

請求項29に記載の半導体集積回路装置において、スタンバイ時、前記リセットトラン

ジスタはオン状態とされ、前記ブロック選択トランジスタはオフ状態とされることを特徴とする半導体集積回路装置。

**【請求項32】**

請求項29に記載の半導体集積回路装置において、前記ビット線に接続された隣接した2つの前記メモリセルブロックは前記プレート線に接続されることを特徴とする半導体集積回路装置。

**【請求項33】**

それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備し、且つ前記強誘電体キャパシタの他端を第1端子とし、前記セルトランジスタのドレインを第2端子とする複数のメモリセルと、

前記複数のメモリセルの前記第1端子および前記第2端子の一方を第3端子に接続し且つ他方を第4端子に接続して、ソース端子を前記第3端子と接続され且つドレイン端子を前記第4端子と接続されたリセットトランジスタと、

を具備する複数のメモリセルユニットの前記第3端子および第4端子を2つの端子として相互に直列接続されて構成されるメモリセルグループを有することを特徴とする半導体集積回路装置。

**【請求項34】**

請求項33に記載の半導体集積回路装置において、前記メモリセルグループの一端をプレート線と接続され、他端をメモリセルグループ選択トランジスタを介してビット線と接続されることを特徴とする半導体集積回路装置。

**【請求項35】**

請求項34に記載の半導体集積回路装置において、前記メモリセルグループ内のそれぞれの前記メモリセルユニットの前記リセットトランジスタは、それぞれ異なる信号で制御されていることを特徴とする半導体集積回路装置。

**【請求項36】**

請求項35に記載の半導体集積回路装置において、ビット線対をなす2つのビット線に各々接続される2つの前記メモリセルグループ内の前記メモリセルグループ選択トランジスタのゲートは異なる信号で制御され、前記2つのメモリセルグループ内の前記プレート線は異なる信号で制御されていることを特徴とする半導体集積回路装置。

**【請求項37】**

請求項34に記載の半導体集積回路装置において、スタンバイ時、全ての前記セルトランジスタおよび全ての前記リセットトランジスタはオン状態で、全ての前記メモリセルグループ選択トランジスタはオフ状態であることを特徴とする半導体集積回路装置。

**【請求項38】**

請求項34に記載の半導体集積回路装置において、アクティブ時、選択された前記メモリセルグループにおいて、選択された前記メモリセルと、選択された前記メモリセルの前記ワード線に接続される前記メモリセル以外の前記セルトランジスタと、はオフ状態とされ、前記選択されたメモリセルを含む前記メモリセルユニットの前記リセットトランジスタはオフ状態とされ、前記メモリセルグループ選択トランジスタはオン状態とされ、前記プレート線が駆動されることを特徴とする半導体集積回路装置。

**【請求項39】**

半導体基板と、

前記半導体基板の表面に配設された複数のセルトランジスタと、

前記複数のセルトランジスタの上方に配設され、且つ前記複数のセルトランジスタのソース／ドレイン拡散層の一方と電気的に接続された、ローカルビット線と、

前記ローカルビット線の上方に配設され、且つ前記複数のセルトランジスタの前記ソース／ドレイン拡散層の他方とそれぞれ電気的に接続された下部電極と、上部電極と、を有する、複数の強誘電体キャパシタと、

前記上部電極の上方に配設され、且つ前記上部電極と電気的に接続された、プレート線

と、

前記半導体基板の表面に配設され、且つソース／ドレイン拡散層の一方を前記プレート線と電気的に接続され、且つ他方を前記ローカルビット線と電気的に接続された、リセットトランジスタと、

前記半導体基板の表面に配設され、且つソース／ドレイン拡散層の一方を前記プレート線の上方に配設されたビット線と電気的に接続され、且つ他方を前記ローカルビット線と電気的に接続された、選択トランジスタと、

を具備することを特徴とする半導体集積回路装置。

#### 【請求項40】

前記セルトランジスタの前記ソース／ドレイン拡散層の一方および他方は、平面においてゲート電極の延在方向に沿った第1方向軸上の座標の値が異なることを特徴とする請求項39に記載の半導体集積回路装置。

#### 【請求項41】

半導体基板と、

前記半導体基板の表面に配設された複数のセルトランジスタと、

前記半導体基板の上方に配設され、且つ前記複数のセルトランジスタの前記ソース／ドレイン拡散層の一方とそれぞれ電気的に接続された下部電極と、上部電極と、を有する、複数の強誘電体キャパシタと、

前記上部電極の上方に配設され、且つ前記上部電極と電気的に接続された、プレート線と、

前記半導体基板の表面に配設され、且つソース／ドレイン拡散層の一方を前記プレート線と電気的に接続された、リセットトランジスタと、

前記半導体基板の表面に配設され、且つ前記ソース／ドレイン拡散層の一方を前記プレート線の上方に配設されたビット線と電気的に接続された、選択トランジスタと、

平面において前記セルトランジスタのゲート電極を横切って前記半導体基板の表面に形成され、且つ前記リセットトランジスタのソース／ドレイン拡散層の他方と前記選択トランジスタのソース／ドレイン拡散層の他方とを電気的に接続する、第1能動領域と、

平面において前記セルトランジスタのゲート電極の延在方向に沿って前記半導体基板の表面に前記第1能動領域と接続して形成され、前記複数のセルトランジスタのソース／ドレイン拡散層の他方と前記リセットトランジスタのソース／ドレイン拡散層の他方とを電気的に接続する、複数の第2能動領域と、

を具備することを特徴とする半導体集積回路装置。

#### 【請求項42】

半導体基板と、

前記半導体基板の表面に配設された複数のセルトランジスタと、

前記複数のセルトランジスタの上方に配設され、且つ前記複数のセルトランジスタのソース／ドレイン拡散層の一方と電気的に接続された、第1配線層と、

前記第1配線層の上方に配設され、且つ前記複数のセルトランジスタの前記ソース／ドレイン拡散層の他方とそれぞれ電気的に接続された下部電極と、上部電極と、を有する、複数の強誘電体キャパシタと、

前記上部電極の上方に配設され、且つ前記上部電極と電気的に接続された、第2配線層と、

前記半導体基板の表面に配設され、且つソース／ドレイン拡散層の一方を前記第2配線層と電気的に接続され、且つ他方を前記第1配線層と電気的に接続された、リセットトランジスタと、

を具備することを特徴とする半導体集積回路装置。

#### 【請求項43】

請求項42に記載の半導体集積回路装置において、前記第1配線層が第1ローカルビット線であり、前記第2配線層が第2ローカルビット線であることを特徴とする半導体集積回路装置。

**【請求項44】**

請求項42に記載の半導体集積回路装置において、前記第1配線層がプレート線であり、前記第2配線層がローカルビット線であることを特徴とする半導体集積回路装置。

**【請求項45】**

半導体基板と、

前記半導体基板の表面に配設された複数のセルトランジスタと、

前記複数のセルトランジスタの上方にそれぞれ配設され、且つ前記複数のセルトランジスタの前記ソース／ドレイン拡散層の一方とそれぞれ電気的に接続された下部電極と、上部電極と、を有する、複数の強誘電体キャパシタと、

前記上部電極の上方に配設され、且つ隣接する2つの前記強誘電体キャパシタの前記上部電極と電気的に接続された、プレート線と、

前記プレート線の上方に配設され、且つ前記複数のセルトランジスタのソース／ドレイン拡散層の他方と電気的に接続された、ローカルビット線と、

前記半導体基板の表面に配設され、且つソース／ドレイン拡散層の一方を前記プレート線と電気的に接続され、且つ他方を前記ローカルビット線と電気的に接続された、リセットトランジスタと、

前記半導体基板の表面に配設され、且つソース／ドレイン拡散層の一方を前記ローカルビット線の上方に配設されたビット線と電気的に接続され、且つ他方を前記ローカルビット線と電気的に接続された、選択トランジスタと、

を具備することを特徴とする半導体集積回路装置。

**【請求項46】**

請求項1、請求項2、請求項11、請求項12、請求項22、請求項25、請求項29、請求項33のいずれか1項に記載の半導体集積回路装置において、前記ローカルビット線、前記第1ローカルビット線、前記第2ローカルビット線は、前記強誘電体キャパシタより上層に形成されることを特徴とする半導体集積回路装置。

**【請求項47】**

請求項1、請求項2、請求項11、請求項12、請求項22、請求項25、請求項29、請求項33のいずれか1項に記載の半導体集積回路装置において、前記ローカルビット線、前記第1ローカルビット線、前記第2ローカルビット線は、前記強誘電体キャパシタより下層に形成されることを特徴とする半導体集積回路装置。

**【請求項48】**

半導体基板上に形成された請求項1乃至請求項47のいずれかに記載の前記半導体集積回路装置と、

前記半導体基板上に形成されたロジック回路と、

を具備することを特徴とする半導体集積回路装置。

【書類名】明細書

【発明の名称】半導体集積回路装置

【技術分野】

#### 【0001】

本発明は、半導体集積回路装置に関し、特に、例えば不揮発性の強誘電体メモリに関する。

【背景技術】

#### 【0002】

今日、半導体メモリは、大型コンピュータの主記憶から、パーソナルコンピュータ、家電製品、携帯電話等、至る所で利用されている。半導体メモリの種類としては、揮発性のDRAM (Dynamic Random Access Memory)、SRAM (Static RAM)、不揮発性のMR ROM (Mask Read Only Memory)、Flash EEPROM (Electrically Erasable Programmable ROM) 等が市場に出まわっている。特に、DRAMは揮発性メモリであるにも関わらず、その低コスト性 (SRAMに比べてセル面積が $1/4$ )、高速性の点で優れています。また、書き換え可能で不揮発性のFlash EEPROMは、不揮発性で、電源を切っても情報の記憶が可能である。しかしながら、書き換え回数 (W/E回数) が10の6乗程度である、また書き込む時間がマイクロ秒程度かかる、さらに書き込みに高電圧 (12V~22V) を印可する必要がある、等の欠点があるため、DRAM程は市場を開けていない。

#### 【0003】

これに対して、強誘電体キャパシタ (Ferroelectric Capacitor) を用いた不揮発性メモリ (Nonvolatile Ferroelectric Memory) は、不揮発性で、しかも、書き換え回数が10の12乗、読みだし・書き込み時間がDRAM程度、3V~5V動作等の長所がある。このため、全メモリ市場を置き換える可能性があり、1980年に提案されて以来、各メーカーが開発を行っている。

#### 【0004】

図44に、従来の強誘電体メモリの1トランジスタ+1キャパシタ構成のメモリセルと、そのセルアレイ構成を示す。従来の強誘電体メモリのメモリセル構成は、トランジスタとキャパシタとを直列接続する構成である。セルアレイは、データを読み出すビット線BLと、メモリセルトランジスタを選択するワード線WLと、強誘電体キャパシタの一端を駆動するプレート線PLから構成される。この強誘電体メモリにおいては、図45、図46に示すように、メモリセルは、ワード線とビット線との交点2個に1個配置されるフォールデッドビット線構成である。このため、配線幅、配線間距離をFとすると、最小のセルサイズは $2F \times 4F = 8F^2$ に限定される問題があった。

#### 【0005】

また、非選択セルの強誘電体キャパシタの分極情報の破壊を防ぐために、プレート線は、ワード線毎に分断され、個別に駆動される必要がある。また、個々のプレート線にはワード線方向に複数の強誘電体キャパシタが接続されるため負荷容量が大きい。さらに、プレート線駆動回路のピッチがワード線毎と非常に狭いため、プレート線駆動回路のサイズを大きくできない。これらの理由により、図47に示すように、プレート線の立ち上がり、立ち下がり時の遅延が大きく、結果として動作が遅い問題があった。

#### 【0006】

図48は、プレート線が共有された構成を示している。図49は、図48の構成とすることにより生じる、非選択セルの強誘電体キャパシタに発生するディスクエーブルの現象を示している。図48に示すように、プレート線およびプレート駆動回路を異なるワード線に接続されるセルで共有化することにより、高速化とプレート駆動回路の数を低減できる。

#### 【0007】

しかしながら、例えばワード線WL0を選択した場合、プレート線PLを共有化したことにより、非選択のワード線WL1に接続したセルの強誘電体キャパシタとプレート線PLとの接続ノードもアクティブ時、電位Vssから内部電源電位Vaaに上がる。この時

、強誘電体キャパシタのカップリングにより非選択セルのノードSN1も電位Vaaに上がる。ここでノードSN1の寄生容量分のカップリング比により、ノードSN1は電位Vaaより僅かだけ小さい値になるが、寄生容量値は強誘電体キャパシタの容量に比べて小さいので問題無い。

#### 【0008】

しかしながら、図49に示すように、長いアクティブ時間、短いスタンバイ時間、長いアクティブ時間、短いスタンバイ時間、と繰り返すと、ノードSN1の電位はジャンクションリーケにより、少しずつ低下する。よって、次にスタンバイ時間になるとプレート線PLの電位は電位Vssに下がり、ノードSN1は負の値になる。スタンバイ時間が長い場合、この負の電位はジャンクションリーケ等で0Vに戻ろうとする。しかしながら、通常、アクティブ時間は $10\mu s$ 程度であり、スタンバイ時間は最小 $20\text{ n s}$ 程度であり、時間比は500である。このため、ノードSN1の電位は、殆ど元に戻らず、非選択の強誘電体キャパシタにスタティックなディスターブ電圧が印加され、セル情報が破壊される。

#### 【0009】

このように、ノードSN1の電位は、長いアクティブ動作を繰り返すと下がり続けるが、ある程度大きくなるとスタンバイ時のジャンクションリーケが順方向になり止まる。埋め込み電位は0.6V程度であることから、ディスターブ電圧は0.3V程度である。なお強誘電体キャパシタからのリーク電流がジャンクションリーケ電流より多い場合、ノードSN1の電位の低下は抑えられる。しかし、この場合でも、2つのリークの電流量は各々分布を持つ。すなわち、DRAMのポーズ特性のように、欠陥等によってジャンクションリーケの多いセルが分布上存在し、強誘電体キャパシにおいても、結晶境界からのリークの少ないセルが分布上存在する。よって2つの悪条件が重なるセルは存在し、結果として、ある程度のセルにおいて分極情報が破壊される。

#### 【0010】

のことから、図48の構成とすることは難しい。この結果、従来の強誘電体メモリは、プレート線の駆動スピードが遅く、メモリの動作が遅い問題点があった。

#### 【0011】

上記問題を解決するため、発明者は、「特開平10-255483」、「特開平11-177036」、「特開2000-22010」において、不揮発性の強誘電体メモリを提案している。これらの強誘電体メモリ（以下、先願のメモリ）によれば、（1）小さい $4\text{ F}^2$ サイズのメモリセル、（2）製造が容易な平面トランジスタ、（3）汎用性のある高速ランダムアクセス機能、の3点を同時に達成できる。

#### 【0012】

図50に、先願のメモリの構成を示す。図50に示すように、1個のメモリセルは並列接続されたセルトランジスタと強誘電体キャパシタにより構成され、1つのメモリセルブロックは、このメモリセルが複数個直列に接続された構成を有する。メモリセルブロックの一端は、ブロック選択トランジスタを介してビット線に接続され、他端はプレートに接続される。この構成により、図51、図52に示すように、最小 $4\text{ F}^2$ サイズのメモリセルを実現できる。

#### 【0013】

この構成のメモリの動作を説明する。スタンバイ時、全てのワード線WL0～WL3をハイレベルとしておくことによりセルトランジスタQ0～Q3をオンにしておき、ブロック選択信号BSをローレベルとしておくことによりブロック選択トランジスタをオフにしておく。こうすることにより、強誘電体キャパシタの両端は、オンしているセルトランジスタによりショートされるため、両端の電位差は発生せず、メモリセルの分極情報は安定に保持される。

#### 【0014】

アクティブ時、読み出したい強誘電体キャパシタに並列接続されるセルトランジスタのみをオフにして、ブロック選択トランジスタをオンにする。その後、プレート線PLをハ

イレベルにすることにより、プレート線PLとビット線BLとの間の電位差が、オフしたメモリセルトランジスタに並列接続された強誘電体キャパシタの両端にのみ印加される。この結果、強誘電体キャパシタの分極情報がビット線に読み出される。

#### 【0015】

このように、メモリセルが直列接続されていても、任意のワード線を選択することにより、任意の強誘電体キャパシタが有する情報を読み出すことができる。すなわち、完全なランダムアクセスを実現できる。

#### 【0016】

なお、非選択セルのセルトランジスタはオンしているため、非選択セルの強誘電体キャパシタの両端はオンしているセルトランジスタによってショートされる。よって、メモリセルブロックの全てのメモリセルでプレート線PLを共有しても、従来の強誘電体メモリにおけるディスターープ電圧の問題は回避できる。よって、プレート線PLを共有することにより、チップサイズを縮小しつつ、プレート線駆動回路の面積を大きくできるため、高速動作が実現できる。例えば16セルでプレート線を共有すると、(プレート線駆動回路面積)・(プレート線遅延)積を1/16に低減できる。

#### 【0017】

先願のメモリにおいては、次のような問題点があった。プレート線PLは大幅な高速動作が実現出来る反面、読み出し電荷、書き込み電荷は、複数の直列接続されたセルトランジスタを介して、メモリセルとビット線BLとの間を移動するため、セルトランジスタの遅延成分が発生する。このため、メモリの高速動作が制限される。メモリセルの数を減らすことによりこの遅延は低減されるが、チップ縮小のメリットは低減する。

#### 【0018】

以上述べたように、従来の強誘電体メモリでは、プレート線を共有化出来ず、スピードが遅く、セルサイズも大きい問題がある。また、先願のメモリにおいても、セルサイズの縮小化、プレート線の共有化、高速動作が可能な反面、直列接続されたセルの数によって最高スピードが制限される問題があった。

#### 【0019】

この出願の発明に関連する先行技術文献情報としては次のものがある。

【特許文献1】特開平10-255483号公報

【特許文献2】特開平11-177035号公報

【特許文献3】特開2000-22010号公報

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0020】

本発明は、上記事情に鑑みてなされたものであり、その目的とするところは、ある程度の小さいメモリセルを実現しつつ、プレート線を共有化でき、且つメモリセルの直列接続による遅延を無くして高速動作が可能な半導体集積回路装置を提供しようとするものである。

#### 【課題を解決するための手段】

#### 【0021】

本発明の第1の視点による半導体集積回路装置は、それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備する複数の第1メモリセルと、前記複数の第1メモリセルのそれぞれの前記セルトランジスタのドレイン端子を第1ローカルビット線とし且つそれぞれの前記強誘電体キャパシタの他端を第1プレート線として、ソース端子を前記第1プレート線と接続され、且つドレイン端子を前記第1ローカルビット線と接続された、第1リセットトランジスタと、ソース端子を前記第1ローカルビット線と接続され、且つドレイン端子を第1ビット線と接続された、第1プロック選択トランジスタと、を具備する第1メモリセルブロックを有することを特徴とする。

#### 【0022】

本発明の第2の視点による半導体集積回路装置は、それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備する複数の第1メモリセルと、前記複数の第1メモリセルのそれぞれの前記セルトランジスタのドレイン端子を第1ローカルビット線とし且つそれぞれの前記強誘電体キャパシタの他端を第1プレート線として、ソース端子を第1電源と接続され、且つドレイン端子を前記第1ローカルビット線と接続された、第1リセットトランジスタと、ソース端子を前記第1ローカルビット線と接続され、且つドレイン端子を第1ビット線と接続された、第1ブロック選択トランジスタと、を具備する第1メモリセルブロックを有することを特徴とする。

#### 【0023】

本発明の第3の視点による半導体集積回路装置は、それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備する複数のメモリセルと、前記複数のメモリセルのそれぞれの前記セルトランジスタのドレイン端子をローカルビット線とし且つそれぞれの前記強誘電体キャパシタの他端をプレート線として、ソース端子を前記ローカルビット線と接続されたブロック選択トランジスタと、を具備する第1メモリセルブロックおよび第2メモリセルブロックを有するメモリセルアレイを有し、前記第1メモリセルブロックおよび前記第2メモリセルブロックの前記ブロック選択トランジスタのドレイン端子はビット線と接続され、スタンバイ時、前記第1メモリセルブロックおよび前記第2メモリセルブロックの前記セルトランジスタおよび前記ブロック選択トランジスタはオン状態とされ、アクティブ時、前記第1メモリセルブロックの前記ブロック選択トランジスタはオフ状態とされ、且つ前記第1メモリセルブロック内の選択された前記メモリセル以外の前記メモリセルの前記セルトランジスタはオフ状態とされる、ことを特徴とする。

#### 【0024】

本発明の第4の視点による半導体集積回路装置は、それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備する複数のメモリセルと、前記複数のメモリセルのそれぞれの前記セルトランジスタのドレイン端子をプレート線とし且つそれぞれの前記強誘電体キャパシタの他端をローカルビット線として、ソース端子を前記プレート線と接続され、且つドレイン端子を前記ローカルビット線と接続された、リセットトランジスタと、ソース端子を前記ローカルビット線と接続され、且つドレイン端子をビット線と接続された、ブロック選択トランジスタと、を具備するメモリセルブロックを有することを特徴とする。

#### 【0025】

本発明の第5の視点による半導体集積回路装置は、それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備し、且つ前記強誘電体キャパシタの他端を第1端子とし、前記セルトランジスタのドレインを第2端子とする複数のメモリセルと、前記複数のメモリセルの前記第1端子および前記第2端子の一方を第3端子に接続し且つ他方を第4端子に接続して、ソース端子を前記第3端子と接続され且つドレイン端子を前記第4端子と接続されたリセットトランジスタと、を具備する複数のメモリセルユニットの前記第3端子および第4端子を2つの端子として相互に直列接続されて構成されるメモリセルグループを有することを特徴とする。

#### 【0026】

本発明の第6の視点による半導体集積回路装置は、半導体基板と、前記半導体基板の表面に配設された複数のセルトランジスタと、前記複数のセルトランジスタの上方に配設され、且つ前記複数のセルトランジスタのソース／ドレイン拡散層の一方と電気的に接続された、ローカルビット線と、前記ローカルビット線の上方に配設され、且つ前記複数のセルトランジスタの前記ソース／ドレイン拡散層の他方とそれ電気的に接続された下部電極と、上部電極と、を有する、複数の強誘電体キャパシタと、前記上部電極の上方に配

設され、且つ前記上部電極と電気的に接続された、プレート線と、前記半導体基板の表面に配設され、且つソース／ドレイン拡散層の一方を前記プレート線と電気的に接続され、且つ他方を前記ローカルビット線と電気的に接続された、リセットトランジスタと、前記半導体基板の表面に配設され、且つソース／ドレイン拡散層の一方を前記プレート線の上方に配設されたビット線と電気的に接続され、且つ他方を前記ローカルビット線と電気的に接続された、選択トランジスタと、を具備することを特徴とする。

#### 【0027】

本発明の第7の視点による半導体集積回路装置は、半導体基板と、前記半導体基板の表面に配設された複数のセルトランジスタと、前記半導体基板の上方に配設され、且つ前記複数のセルトランジスタの前記ソース／ドレイン拡散層の一方とそれぞれ電気的に接続された下部電極と、上部電極と、を有する、複数の強誘電体キャパシタと、前記上部電極の上方に配設され、且つ前記上部電極と電気的に接続された、プレート線と、前記半導体基板の表面に配設され、且つソース／ドレイン拡散層の一方を前記プレート線と電気的に接続された、リセットトランジスタと、前記半導体基板の表面に配設され、且つ前記ソース／ドレイン拡散層の一方を前記プレート線の上方に配設されたビット線と電気的に接続された、選択トランジスタと、平面において前記セルトランジスタのゲート電極を横切って前記半導体基板の表面に形成され、且つ前記リセットトランジスタのソース／ドレイン拡散層の他方と前記選択トランジスタのソース／ドレイン拡散層の他方とを電気的に接続する、第1能動領域と、平面において前記セルトランジスタのゲート電極の延在方向に沿つて前記半導体基板の表面に前記第1能動領域と接続して形成され、前記複数のセルトランジスタのソース／ドレイン拡散層の他方と前記リセットトランジスタのソース／ドレイン拡散層の他方とを電気的に接続する、複数の第2能動領域と、を具備することを特徴とする。

#### 【0028】

本発明の第8の視点による半導体集積回路装置は、半導体基板と、前記半導体基板の表面に配設された複数のセルトランジスタと、前記複数のセルトランジスタの上方に配設され、且つ前記複数のセルトランジスタのソース／ドレイン拡散層の一方と電気的に接続された、第1配線と、前記第1配線の上方に配設され、且つ前記複数のセルトランジスタの前記ソース／ドレイン拡散層の他方とそれぞれ電気的に接続された下部電極と、上部電極と、を有する、複数の強誘電体キャパシタと、前記上部電極の上方に配設され、且つ前記上部電極と電気的に接続された、第2配線と、前記半導体基板の表面に配設され、且つソース／ドレイン拡散層の一方を前記第2配線と電気的に接続され、且つ他方を前記第1配線と電気的に接続された、リセットトランジスタと、を具備することを特徴とする。

#### 【0029】

本発明の第9の視点による半導体集積回路装置は、半導体基板と、前記半導体基板の表面に配設された複数のセルトランジスタと、前記複数のセルトランジスタの上方にそれぞれ配設され、且つ前記複数のセルトランジスタの前記ソース／ドレイン拡散層の一方とそれぞれ電気的に接続された下部電極と、上部電極と、を有する、複数の強誘電体キャパシタと、前記上部電極の上方に配設され、且つ隣接する2つの前記強誘電体キャパシタの前記上部電極と電気的に接続された、プレート線と、前記プレート線の上方に配設され、且つ前記複数のセルトランジスタのソース／ドレイン拡散層の他方と電気的に接続された、ローカルビット線と、前記半導体基板の表面に配設され、且つソース／ドレイン拡散層の一方を前記プレート線と電気的に接続され、且つ他方を前記ローカルビット線と電気的に接続された、リセットトランジスタと、前記半導体基板の表面に配設され、且つソース／ドレイン拡散層の一方を前記ローカルビット線の上方に配設されたビット線と電気的に接続され、且つ他方を前記ローカルビット線と電気的に接続された、選択トランジスタと、を具備することを特徴とする。

#### 【発明の効果】

#### 【0030】

本発明によれば、メモリセルの面積が小さく、高速動作が可能な半導体集積回路装置を

提供できる。

### 【発明を実施するための最良の形態】

#### 【0031】

以下に本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

#### 【0032】

##### (第1実施形態)

図1は本発明の第1実施形態に係る半導体集積回路装置(F e R A M)の回路構成を示している。図1に示すように、1つのメモリセルは、直列接続された1つのセルトランジスタと1つの強誘電体キャパシタにより構成される。すなわち、各メモリセルは、セルトランジスタQ0～Q3と強誘電体キャパシタC0～C3とにより、それぞれ構成される。セルトランジスタQ0～Q3のゲートは、ワード線WL0～WL3と接続される。各メモリセルは並列接続され、各メモリセルの一端はプレート線PL、他端はローカルビット線LBLと接続される。

#### 【0033】

プレート線PLとローカルビット線LBLとの間にはリセットトランジスタQRが接続される。リセットトランジスタQRは、リセット信号RSTにより制御される。ローカルビット線LBLとビット線BLとの間にはブロック選択トランジスタQSが接続される。ブロック選択トランジスタQSは、ブロック選択信号BSにより制御される。

#### 【0034】

以上のように、複数のセルトランジスタQ0～Q3、複数の強誘電体キャパシタC0～C3、リセットトランジスタQR、ブロック選択トランジスタQS、ローカルビット線LBLにより1つのセルブロックCBが構成される。ロウデコーダRDは、接続された配線(ワード線WL0～WL3等)の電位を制御する。プレート線ドライバPLDは、プレート線を駆動する。

#### 【0035】

次に、図1の半導体集積回路装置の動作について説明する。スタンバイ時、セルブロックCB内のセルトランジスタQ0～Q3はオンとされている。このため、プレート線PLの電位はセルノードSN0～3に伝わる。また、リセットトランジスタQRはオンとされている。このため、セルブロックCB内のローカルビット線LBLの電位も、プレート線PLの電位と等しい。よって、セルブロックCBの全てのメモリセルの強誘電体キャパシタC0～C3の両端の電位はプレート線PLと同電位となり、スタンバイ時、強誘電体キャパシタC0～C3には電圧が印加されない。

#### 【0036】

アクティブ時、セルブロックCB内のリセットトランジスタQRがオフとされ、非選択セルのセルトランジスタ(例:セルトランジスタQ0、Q2、Q3)がオフとされ、ブロック選択トランジスタQSがオンとされ、プレート線PLが駆動される。この結果、選択セルのセルトランジスタ(例:セルトランジスタQ1)のみオンしているため、選択セルの強誘電体キャパシタ(例:強誘電体キャパシタC1)の一端にはプレート線PLの電位が印加され、他端はビット線BLの電位が印加される。よって、強誘電体キャパシタC1の両端に電圧が印加される。この電圧によって強誘電体キャパシタC1が分極反転し、この結果、強誘電体キャパシタC1からセル情報が読み出される。このセル情報はローカルビット線LBLを介してビット線BLに読み出される。この読み出し信号はセンスアンプ(図示せぬ)で増幅される。

#### 【0037】

セル情報の読み出し後、読み出された情報が、“0”データの場合、プレート線PLの電位がハイレベルの状態でデータが強誘電体キャパシタC1に書き戻される。“1”データの場合、プレート線PLの電位がローレベルとされた後、書き戻される。この後、ブロック選択トランジスタQSがオフとされ、リセットトランジスタQR、セルトランジスタ

Q0～Q3がオンとされることにより、スタンバイ状態に移行する。

#### 【0038】

アクティブ時、非選択セルのノード（例：セルノードSN0、SN2、SN3）はフローティングとなる。また、プレート線PLがセルブロックCB内の全てのメモリセルで共有化されているため、非選択セルのプレート線PLもハイレベルとなる。この結果、ジャンクションリーカにより非選択セルのノードの電位は低下し、非選択セルの強誘電体キャパシタ（例：強誘電体キャパシタC0、C2、C3）にディスターブ電圧が印加される。しかし、スタンバイ状態に戻ると各強誘電体キャパシタC0～C3の両端の電位差はリセットされて0Vになる。よってディスターブ電圧は、僅か一回のアクティブ時間（最大10μs）の間にセルノードSN0～SN3が降下した電圧に制限される。このセルノードSN0～SN3の電位の低下はDRAM等では、少なくとも数百ms程度はセル電荷を保持していることを考えると、無視出来る値といえる（0.1V以下）。

#### 【0039】

第1実施形態に係る半導体集積回路装置によれば、プレート線PLはセルブロックCBの全てのメモリセルによって共有される。よって、プレート線PLの上の信号の遅延の大幅な低減、プレート線PL駆動回路PLDの面積の縮小、駆動能力の向上を実現できる。

#### 【0040】

また、第1実施形態によれば、アクティブ時、非選択セルの強誘電体キャパシタにディスターブ電圧が印加されるが、スタンバイ状態となるごとに、各強誘電体キャパシタC0～C3の両端の電位差は0Vにリセットされる。よって、ディスターブ電圧が印加される期間は短く、非選択セルのセルノードの電位の低下は無視できるほど小さい。このため、メモリセルのデータが、ディスターブ電圧によって破壊されることを回避できる。

#### 【0041】

また、第1実施形態によれば、上記したアクティブ時の一連の動作において、強誘電体キャパシタC0～C3とビット線BLとの間には、セルトランジスタQ0～Q3とブロック選択トランジスタQSの2つトランジスタを介するのみである。したがって、先願のメモリのメモリセルと異なり、複数のメモリセルが直列接続されたことによる遅延の問題は起こらない。よって、プレート線PLを共有化しつつ、直列接続されたセルトランジスタに起因した遅延が発生しないため、従来および先願のメモリより、高速な読み出し、書き込みが可能となる。

#### 【0042】

また、第1実施形態によれば、セルブロックCB単位でビット線BLに接続されるため、ビット線BLのコンタクト数を大幅に低減できる。よって、ビット線BLの容量を小さくできるため、多くのメモリセルを1つのビット線BLに接続できる。したがって、センスアンプの面積の削減や、ビット線BL上の信号を増大させることができる。

#### 【0043】

また、第1実施形態によれば、ビット線BLと各ワード線WL0～WL3の交点に1個セルを配置できるため、最小 $6\text{ F}^2$ 程度の小さいメモリセルを実現できる。

#### 【0044】

##### (第2実施形態)

第2実施形態は、第1実施形態（図1）の半導体集積回路装置のプレート線PLの駆動方法の一例に関する。より詳しくは、プレート線PLのスタンバイ時の電位を電位Vss、駆動時の電位を内部電源電位Vaaとした場合に関する。

#### 【0045】

図2は本発明の第2実施形態を示しており、図1の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例にとり、以下に動作の説明をする。

#### 【0046】

図2に示すように、スタンバイ時、リセット信号RST、ワード線WL0～WL3は、電位Vpp（ハイレベル）とされ、ブロック選択信号BSは電位Vss（ローレベル）と

されている。また、プレート線PL、ビット線BLは、電位Vssとされている。よって、セルトランジスタQ0～Q3、リセットトランジスタQRはオンとされ、セルブロックCB内のローカルビット線LBLの電位も、プレート線PLの電位と等しい。したがって、スタンバイ時、セルブロックCBの全てのメモリセルの強誘電体キャパシタC0～C3の両端の電位はプレート線PLと同電位となり、強誘電体キャパシタC0～C3には電圧が印加されない。

#### 【0047】

アクティブ時、リセット信号RSTがローレベルとされ、非選択セルのワード線WL0、WL2、WL3がローレベルとされる。選択セルのワード線WL1はハイレベルを維持する。よって、リセットトランジスタQRがオフとされ、非選択セルのセルトランジスタQ0、Q2、Q3がオフとされる。次いで、ブロック選択信号BSがハイレベルとされることにより、ブロック選択トランジスタQSがオンとされる。

#### 【0048】

この状態で、プレート線PLが内部電源電位Vaaに駆動される。なお、内部電源電位Vaaは、電源電位Vddから生成される電位であり、電源電位Vddを用いることも可能である。プレート線PLの駆動の結果、選択セルの強誘電体キャパシタC1のみの両端に電圧が印加されることにより、強誘電体キャパシタC1から“0”、または“1”的情報に応じた電位がローカルビット線LBLを介してビット線BLに読み出される。そして、ビット線BLに読み出された電位は、図示せぬセンスアンプにより増幅される。読み出された情報が“0”的場合、ビット線上の電位は、電位Vss（典型的には接地電位）に増幅される。読み出された情報が“1”的場合、ビット線BL上の電位は、内部電源電位Vaaに増幅される。

#### 【0049】

“0”情報の場合、ビット線BLが電位Vssであるため、プレート線PLが電位Vaaの間に、再書き込みが行われる。“1”情報の場合、ビット線BLが電位Vaaであるため、プレート線PLが電位Vssとされることにより、再書き込みがなされる。この後、ブロック選択信号BSがローレベルとされ、リセット信号RST、ワード線WL0、WL2、WL3がハイレベルとされることによりスタンバイ状態に移行する。

#### 【0050】

なお、スタンバイ時、リセット信号RSTおよびワード線WL0～WL3は、比較的高い電位Vppとされているため、リセットトランジスタQRおよびセルトランジスタQ0～Q3のゲート酸化膜に大きな電界が印加され、この部分の信頼性が問題となる。このため、図3に示すように、スタンバイ時は、リセット信号RSTおよびワード線WL0～WL3を電位Vpp以下（例えば電位Vaa）とし、アクティブ時に選択セルトランジスタのワード線の電位をVppに上げる制御とすることが望ましい。以下の各実施形態においても同様である。

#### 【0051】

第2実施形態に係る半導体集積回路装置によれば、第1実施形態と同じ効果を得られる。

#### 【0052】

（第3実施形態）

第3実施形態は、第1実施形態（図1）の半導体集積回路装置のプレート線PLの駆動方法の一例に関する。より詳しくは、プレート線PLの電位を1/2Vaaに固定した場合に関する。

#### 【0053】

図4は、本発明の第3実施形態を示しており、図1の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を取り、以下に動作の説明をする。

#### 【0054】

図4に示すように、スタンバイ時の状態は、プレート線PLが1/2Vaaに駆動され

ていることを除いて、第2実施形態と同じである。アクティブ時、リセット信号RST、ワード線WL0、WL2、WL3がローレベルとされる。この状態でブロック選択信号BSがハイレベルとされることにより、強誘電体キャパシタC1の一端にプレート線PLの電位（=1/2Vaa）が印加され、他端にビット線BLの電位（=Vss）が印加される。よって、強誘電体キャパシタC1から、ビット線BLに情報が読み出され、次いでビット線BLの電位が、電位Vssまたは電位Vaaに増幅される。

#### 【0055】

“0”情報の場合、ビット線BLが電位Vssであり、プレート線PLの電位が1/2Vaaであるため、強誘電体キャパシタC1に“0”情報が再書き込みされる。“1”情報の場合、ビット線BLが電位Vaaであり、プレート線PLの電位が1/2Vaaであるため、強誘電体キャパシタC1に“1”情報が再書き込みされる。この後、ブロック選択信号BSがローレベルとされ、リセット信号RST、ワード線WL0、WL2、WL3がハイレベルとされることによりスタンバイ状態に移行する。

#### 【0056】

第3実施形態に係る半導体集積回路装置によれば、第1実施形態と同じ効果を得られる。さらに、第3実施形態によれば、プレート線PLには、電位がVssより高いが常に印加されるため、スタンバイ時、セルトランジスタQ0～Q3のソースおよびドレインの電位はプレート線PLと同電位となる。よって、スタンバイ時、セルトランジスタQ0～Q3に印加される電圧が下がり、セルトランジスタQ0～Q3のゲート酸化膜に係る電界を緩和できる。この結果、半導体集積回路装置の信頼性が低下する問題を回避できる。

#### 【0057】

##### (第4実施形態)

第4実施形態は、第1実施形態(図1)の半導体集積回路装置のプレート線PLの駆動方法の一例に関する。

#### 【0058】

第1実施形態において記載したように、スタンバイ時、強誘電体キャパシタC0～C3の両端は、同電位に設定される。このため、スタンバイ時にセルノードSN0～SN3の電位が低下することにより強誘電体キャパシタC0～C3が保持する“1”情報が破壊されることはない。したがって、スタンバイ時のプレート線PLの電位は、任意に設定することができる。第4実施形態は、この特徴を利用したものであり、第2実施形態の変形例である。

#### 【0059】

図5は、本発明の第4実施形態を示しており、図1の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例にとり、以下に動作の説明をする。

#### 【0060】

図5に示すように、スタンバイ時の状態は、プレート線PLが任意の電位、例えば電位refとされていることを除いて、第2実施形態と同じである。アクティブ時、リセット信号RST、ワード線WL0、WL2、WL3がローレベルとされ、ブロック選択信号BSがハイレベルとされる。この状態で、プレート線PLが内部電源電位Vaaへと駆動されることにより、強誘電体キャパシタC1から情報が読み出される。“0”情報の場合、プレート線PLが駆動されている間に、再書き込みが行われる。“1”情報の場合、プレート線PLが電位Vssとされることにより、再書き込みが行われる。この後、この後、ブロック選択信号BSがローレベルとされ、リセット信号RST、ワード線WL0、WL2、WL3がハイレベルとされ、プレート線PLが電位refに駆動されることによりスタンバイ状態に移行する。

#### 【0061】

第4実施形態に係る半導体集積回路装置によれば、第1実施形態と同じ効果を得られる。また、第4実施形態によれば、スタンバイ中のプレート線PLの電位を電位Vssより高くしている。よって、スタンバイ時、セルトランジスタQ0～Q3に印加される電圧が

下がるため、セルトランジスタQ0～Q3のゲート酸化膜に掛かる電界を緩和することにより、信頼性が低下する問題を回避できる。

#### 【0062】

##### (第5実施形態)

第5実施形態は、第1実施形態(図1)の半導体集積回路装置のプレート線PLの駆動方法の一例に関する。第5実施形態は、第4実施形態と同じ特徴を利用しており、第2実施形態の変形例である。

#### 【0063】

図6は、本発明の第5実施形態を示しており、図1の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例にとり、以下に動作の説明をする。

#### 【0064】

図6に示すように、スタンバイ時の状態は、プレート線PLが内部電源電位Vaaに駆動されていることを除いて、第2実施形態と同じである。アクティブ時、リセット信号RST、ワード線WL0、WL2、WL3がローレベルとされる。この状態で、ブロック選択信号BSがハイレベルとされることにより、強誘電体キャパシタC1の両端に電圧が印加され、強誘電体キャパシタC1からビット線BLに情報が読み出される。読み出された情報は、センスアンプにより増幅される。“0”情報の場合、プレート線PLが駆動されている間に、再書き込みが行われる。“1”情報の場合、プレート線PLが電位Vssとされることにより、再書き込みが行われる。この後、プレート線PLが駆動され、スタンバイ状態に移行する。この後、この後、ブロック選択信号BSがローレベルとされ、リセット信号RST、ワード線WL0、WL2、WL3がハイレベルとされ、プレート線PLが電位Vaaに駆動されることによりスタンバイ状態に移行する。

#### 【0065】

第5実施形態に係る半導体集積回路装置によれば、第1実施形態と第4実施形態とを合せた効果を得られる。

#### 【0066】

##### (第6実施形態)

第6実施形態は、フォールデッドビット線構成に関する。図7は、本発明の第6実施形態に係る半導体集積回路装置の回路構成を示している。図7に示すように、図1のセルブロックCBと同じ構成のセルブロックCB0、CB1がビット線BL、/BL(ビット線対)に対してそれぞれ設けられる。ビット線BL、/BLはセンスアンプSAと接続される。

#### 【0067】

セルトランジスタQ0～Q3、強誘電体キャパシタC0～C3、リセットトランジスタQR0、ブロック選択トランジスタQS0、ローカルビット線/LBLによりセルブロックCB0が構成される。セルトランジスタQ0～Q3と強誘電体キャパシタC0～C3とから構成されたメモリセルが並列接続され、各メモリセルは、プレート線/PLと、ローカルビット線/LBLとの間に接続される。プレート線/PLとローカルビット線/LBLとの間には、リセットトランジスタQR0が接続される。ローカルビット線/LBLとビット線/BLとの間には、ブロック選択トランジスタQS0が接続される。

#### 【0068】

セルトランジスタQ4～Q7、強誘電体キャパシタC4～C7、リセットトランジスタQR1、ブロック選択トランジスタQS1、ローカルビット線LBLによりセルブロックCB1が構成される。セルトランジスタQ4～Q7と強誘電体キャパシタC4～C7とから構成されたメモリセルが並列接続され、各メモリセルは、プレート線PLと、ローカルビット線LBLとの間に接続される。プレート線PLとローカルビット線LBLとの間には、リセットトランジスタQR1が接続される。ローカルビット線LBLとビット線BLとの間には、ブロック選択トランジスタQS1が接続される。

#### 【0069】

セルトランジスタQ0、Q4のゲートは、ワード線WL0と接続される。セルトランジスタQ1、Q5のゲートは、ワード線WL1と接続される。セルトランジスタQ2、Q6のゲートは、ワード線WL2と接続される。セルトランジスタQ3、Q7のゲートは、ワード線WL3と接続される。リセットトランジスタQR0、QR1はリセット信号RSTにより制御される。ブロック選択トランジスタQS0、QS1は、ブロック選択信号/B S、B Sによりそれぞれ制御される。

#### 【0070】

次に、動作について説明する。各セルブロックCB0、CB1内の動作は、第1実施形態と同じである。セルブロックCB0内のメモリセルの読み出しの場合、ブロック選択トランジスタQS0のみオンとされ、ブロック選択トランジスタQS1はオフのままである。この状態で、プレート線/PLのみ駆動され、プレート線PLは駆動されない。この結果、ビット線/BLにセル情報が読み出される。ビット線BL上の電位は、参照電位として用いられる。ビット線/BL上の電位は、ビット線BL上の電位を用いてセンスアンプSAにより増幅される。セルブロックCB1内のメモリセルの読み出しの場合も同様である。

#### 【0071】

第6実施形態に係る半導体集積回路装置によれば、フォールデッドビット線構成を採用することにより、センスアンプの面積の削減、メモリセルアレイのノイズを低減をしつつ、第1実施形態と同じ効果を得られる。

#### 【0072】

##### (第7実施形態)

第7実施形態は、第6実施形態(図7)の半導体集積回路装置のプレート線PL、/PLの駆動方法の一例に関する。より詳しくは、第2実施形態と同様に、プレート線PL、/PLのスタンバイ時の電位を電位Vss、駆動時の電位を内部電源電位Vaaとした場合に関する。動作に関しても、第6実施形態と第2実施形態とを組み合わせた形態と同じである。

#### 【0073】

図8は本発明の第7実施形態を示しており、図7の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例に取り、以下に動作の説明をする。

#### 【0074】

図8に示すように、スタンバイ時、リセット信号RST、ワード線WL0～WL3はハイレベルとされ、ブロック選択信号BS、/BSはローレベルとされている。プレート線PL、/PLは電位Vssとされている。

#### 【0075】

アクティブ時、リセット信号RSTがローレベルとされ、非選択セルのワード線WL0、WL2、WL3がローレベルとされる。選択セルのワード線WL1はハイレベルを維持する。次いで、ブロック選択信号/BSがハイレベルとされることにより、ブロック選択トランジスタQS0がオンとされる。ブロック選択信号BSはローレベルを維持する。

#### 【0076】

この状態で、プレート線/PLが内部電源電位Vaaに駆動されることにより、強誘電体キャパシタC1からビット線/BLにセル情報が読み出される。プレート線PLは電位Vssを維持する。ビット線/BLに読み出された電位は、センスアンプSAにより増幅され、次いで、第2実施形態と同様に再書き込み動作が行われる。この後、リセット信号RST、ワード線WL0、WL2、WL3がハイレベルとされ、ブロック選択信号/BSがローレベルとされることによりスタンバイ状態に移行する。

#### 【0077】

第7実施形態に係る半導体集積回路装置によれば、第6実施形態と第2実施形態とを合せた効果を得られる。

#### 【0078】

## (第8実施形態)

第8実施形態は、第6実施形態(図7)の半導体集積回路装置のプレート線PL、／PLの駆動方法の一例に関する。より詳しくは、第3実施形態と同様に、プレート線PL、／PLの電位を1/2Vaaに固定した場合に関する。

## 【0079】

図9は、本発明の第8実施形態を示しており、図7の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例にとり、以下に動作の説明をする。

## 【0080】

図9に示すように、スタンバイ時の状態は、プレート線PL、／PLが電位1/2Vaaに駆動されていることを除いて、第7実施形態と同様である。アクティブ時、リセット信号RST、ワード線WL0、WL2、WL3がローレベルとされる。この状態でブロック選択信号／BSがハイレベルとされることにより、ビット線／BLに情報が読み出される。ブロック選択信号BSは、ローレベルを維持する。続いてビット線／BL上の電位が増幅され、次いで、第3実施形態と同様にして再書き込み動作が行われ、次いで、第7実施形態と同様にしてスタンバイ状態に移行する。

## 【0081】

第8実施形態に係る半導体集積回路装置によれば、第6実施形態と同じ効果を得られる。

## 【0082】

## (第9実施形態)

第9実施形態は、第6実施形態(図7)の半導体集積回路装置のプレート線PL、／PLの駆動方法の一例に関する。より詳しくは、第4実施形態と同様にプレート線PL、／PLが駆動される。

図10は、本発明の第9実施形態を示しており、図7の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例に取り、以下に動作の説明をする。

## 【0083】

図10に示すように、スタンバイ時の状態は、プレート線PL、／PLが電位refに駆動されていることを除いて、第7実施形態と同様である。アクティブ時、リセット信号RST、ワード線WL0、WL2、WL3がローレベルとされ、ブロック選択信号／BSがハイレベルとされる。ブロック選択信号BSはローレベルを維持する。この状態で、プレート線／PLが内部電源電位Vaaへと駆動されることにより、強誘電体キャパシタC1から情報が読み出される。プレート線PLは、電位refを維持する。続いて、ビット線／BL上の電位が増幅され、次いで、第4実施形態と同様にして再書き込み動作が行われ、次いで、第7実施形態と同様にしてスタンバイ状態に移行する。

## 【0084】

第9実施形態に係る半導体集積回路装置によれば、第6実施形態と第4実施形態とを合せた効果を得られる。

## 【0085】

## (第10実施形態)

第10実施形態は、第6実施形態(図7)の半導体集積回路装置のプレート線PL、／PLの駆動方法の一例に関する。より詳しくは、第5実施形態と同様にプレート線PL、／PLが駆動される。

## 【0086】

図11は、本発明の第10実施形態を示しており、図7の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例にとり、以下に動作の説明をする。

## 【0087】

図11に示すように、スタンバイ時の状態は、プレート線PL、／PLが内部電源電位

V<sub>a</sub>aに駆動されていることを除いて、第7実施形態と同様である。アクティブ時、リセット信号RST、ワード線WL0、WL2、WL3がローレベルとされる。この状態で、ブロック選択信号／BSがハイレベルとされることにより、強誘電体キャパシタC1からビット線／BLに情報が読み出される。ブロック選択信号BSはローレベルを維持し、プレート線PLは内部電源電位V<sub>a</sub>aを維持する。続いて、ビット線／BL上の電位が増幅され、次いで、第5実施形態と同様にして再書き込み動作が行われ、次いで、第7実施形態と同様にしてスタンバイ状態に移行する。

#### 【0088】

第10実施形態に係る半導体集積回路装置によれば、第6実施形態と第5実施形態とを合せた効果を得られる。

#### 【0089】

(第11実施形態)

第11実施形態は、第6実施形態(図7)の構成に加え、プレート線／PLが、ビット線／BLと接続される2つのセルブロックにより共用される。同様に、プレート線PLもビット線BLと接続される2つのセルブロックにより共用される。

#### 【0090】

図12は、本発明の第11実施形態に係る半導体集積回路装置の回路構成を示している。図12に示すように、図1のセルブロックCBと同様のセルブロックCB2、CB3がビット線／BL、BLに対してそれぞれ設けられる。

#### 【0091】

セルブロックCB0、CB1は、それぞれ、ローカルビット線／LBLがローカルビット線／LBL0とされ、ローカルビット線LBLがローカルビット線LBL0とされた以外は、図7と同じである。選択トランジスタQR0、QR1はリセット信号RST0により制御される。ブロック選択トランジスタQS0、QS1は、ブロック選択信号／BS0、BS0によりそれぞれ制御される。

#### 【0092】

セルトランジスタQ8～Q11、強誘電体キャパシタC8～C11、リセットトランジスタQR2、ブロック選択トランジスタQS2、ローカルビット線／LBL1によりセルブロックCB2が構成される。セルトランジスタQ8～Q11と強誘電体キャパシタC8～C11とから構成されたメモリセルが並列接続され、各メモリセルは、プレート線／PLと、ローカルビット線／LBL1との間に接続される。プレート線／PLとローカルビット線／LBL1との間には、リセットトランジスタQR2が接続される。ローカルビット線／LBL1とビット線／BLとの間には、ブロック選択トランジスタQS2が接続される。

#### 【0093】

セルトランジスタQ12～Q15、強誘電体キャパシタC12～C15、リセットトランジスタQR3、ブロック選択トランジスタQS3、ローカルビット線LBL1によりセルブロックCB3が構成される。セルトランジスタQ12～Q15と強誘電体キャパシタC12～C15とから構成されたメモリセルが並列接続され、各メモリセルは、プレート線PLと、ローカルビット線LBL1との間に接続される。プレート線PLとローカルビット線LBL1との間には、リセットトランジスタQR3が接続される。ローカルビット線LBL1とビット線BLとの間には、ブロック選択トランジスタQS3が接続される。

#### 【0094】

セルトランジスタQ8、Q12のゲートは、ワード線WL4と接続される。セルトランジスタQ9、Q13のゲートは、ワード線WL5と接続される。セルトランジスタQ10、Q14のゲートは、ワード線WL6と接続される。セルトランジスタQ11、Q15のゲートは、ワード線WL7と接続される。選択トランジスタQR2、QR3はリセット信号RST1により制御される。ブロック選択トランジスタQS2、QS3は、ブロック選択信号／BS1、BS1によりそれぞれ制御される。

#### 【0095】

次に、図12の半導体集積回路装置の動作について説明する。各セルブロックCB0～CB3内の動作は、第1実施形態と同様である。アクティブ時、セルブロックCB0内のメモリセルの読み出しの場合、リセットトランジスタQR0（およびQR1）がオフとされるとともに、非選択セルのセルトランジスタがオフとされる。リセットトランジスタQR2（およびQR3）はオンのままである。

#### 【0096】

次に、ブロック選択トランジスタQS0のみオンとされ、ブロック選択トランジスタQS1～QS3はオフのままである。この状態で、プレート線／PLのみ駆動され、プレート線PLは駆動されない。この結果、ビット線／BLにセル情報が読み出される。ビット線／BL上の電位は、ビット線BL上の電位を参照電位として用いて、センスアンプSAにより増幅される。セルブロックCB1～CB3内のメモリセルの読み出しの場合も同様である。

#### 【0097】

第11実施形態に係る半導体集積回路装置によれば、第1実施形態と同じ効果を得られる。なお、セルブロックCB0内の強誘電体キャパシタから情報が読み出される場合、プレート線／PLが駆動されるため、非選択のセルブロックCB2内の強誘電体キャパシタC8～C11にもプレート線／PLの電位が印加される。しかしながら、リセットトランジスタQR2、およびセルトランジスタQ8～Q11により、強誘電体キャパシタC8～C11の両端は同一電位にショートされている。このため、強誘電体キャパシタC8～C11の情報は破壊されない。

#### 【0098】

また、第11実施形態によれば、プレート線PL、／PLが複数のセルブロックにより共用されている。このため、プレート線PL、／PLの面積の低減、抵抗値の低減が可能となる。この結果、プレート線駆動回路DPLの駆動能力を第1～第10実施形態以上に向上でき、また、プレート線駆動回路DPLの占有面積の削減を実現できる。

#### 【0099】

##### （第12実施形態）

第12実施形態は、第11実施形態（図12）の半導体集積回路装置のプレート線PL、／PLの駆動方法の一例に関する。より詳しくは、第2実施形態と同様に、プレート線PL、／PLのスタンバイ時の電位を電位Vss、駆動時の電位を内部電源電位Vaaとした場合に関する。動作に関しても、第11実施形態と第2実施形態とを組み合わせた形態と同じである。

#### 【0100】

図13は本発明の第12実施形態を示しており、図12の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例に取り、以下に動作の説明をする。

#### 【0101】

図13に示すように、スタンバイ時、リセット信号RST0、RST1、ワード線WL0～WL7はハイレベルとされ、ブロック選択信号BS0、／BS0、BS1、／BS1はローレベルとされている。プレート線PL、／PLは電位Vssとされている。

#### 【0102】

アクティブ時、リセット信号RST0、非選択セルのワード線WL0、WL2、WL3がローレベルとされる。リセット信号RST1、選択セルのワード線WL1、非選択のセルブロックCB2、CB3のワード線WL4～WL7はハイレベルを維持する。次いで、ブロック選択信号／BS0がハイレベルとされることにより、ブロック選択トランジスタQS0がオンとされる。ブロック選択信号BS0、／BS1、BS1はローレベルを維持する。

#### 【0103】

この状態で、プレート線／PLが内部電源電位Vaaに駆動されることにより、強誘電体キャパシタC1からビット線／BLにセル情報が読み出される。プレート線PLは電位

V<sub>ss</sub>を維持する。ビット線／BLに読み出された電位は、センスアンプSAにより増幅され、次いで、第2実施形態と同様に再書き込み動作が行われる。この後、リセット信号RST0、RST1、ワード線WL0、WL2、WL3がハイレベルとされ、ブロック選択信号／BS0がローレベルとされることによりスタンバイ状態に移行する。

#### 【0104】

第12実施形態に係る半導体集積回路装置によれば、第11実施形態と第2実施形態とを合せた効果を得られる。

#### 【0105】

##### (第13実施形態)

第13実施形態は、第11実施形態(図12)の半導体集積回路装置のプレート線PL、／PLの駆動方法の一例に関する。より詳しくは、第3実施形態と同様に、プレート線PL、／PLの電位を1／2Vaaに固定した場合に関する。

#### 【0106】

図14は、本発明の第13実施形態を示しており、図12の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例にとり、以下に動作の説明をする。

#### 【0107】

図14に示すように、スタンバイ時の状態は、プレート線PL、／PLが電位1／2Vaaに駆動されていることを除いて、第12実施形態と同様である。アクティブ時、リセット信号RST0、非選択セルのワード線WL0、WL2、WL3がローレベルとされる。この状態でブロック選択信号／BS0がハイレベルとされることにより、ビット線／BLに情報が読み出される。次いでビット線／BL上の電位が増幅される。ワード線WL4～WL7はハイレベルを維持し、ブロック選択信号BS0、BS1、／BS1はローレベルを維持する。続いて、ビット線／BL上の電位が増幅され、次いで、第3実施形態と同様にして再書き込み動作が行われ、次いで、第12実施形態と同様にしてスタンバイ状態に移行する。

#### 【0108】

第13実施形態に係る半導体集積回路装置によれば、第11実施形態と第3実施形態とを合せた効果を得られる。

#### 【0109】

##### (第14実施形態)

第14実施形態は、第11実施形態(図12)の半導体集積回路装置のプレート線PL、／PLの駆動方法の一例に関する。より詳しくは、第4実施形態と同様にプレート線PL、／PLが駆動される。

図15は、本発明の第14実施形態を示しており、図12の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例に取り、以下に動作の説明をする。

#### 【0110】

図15に示すように、スタンバイ時の状態は、プレート線PL、／PLの電位が電位r<sub>ef</sub>に駆動されていることを除いて、第12実施形態と同様である。アクティブ時、リセット信号RST0、非選択セルのワード線WL0、WL2、WL3がローレベルとされ、ブロック選択信号／BS0がハイレベルとされる。この状態で、プレート線／PLが内部電源電位Vaaへと駆動されることにより、強誘電体キャパシタC1から情報が読み出される。ワード線WL4～WL7はハイレベルを維持し、ブロック選択信号BS0、BS1、／BS1はローレベルを維持し、プレート線PLは、電位r<sub>ef</sub>を維持する。続いて、ビット線／BL上の電位が増幅され、次いで、第4実施形態と同様にして再書き込み動作が行われ、次いで、第12実施形態と同様にしてスタンバイ状態に移行する。

#### 【0111】

第14実施形態に係る半導体集積回路装置によれば、第11実施形態と第4実施形態とを合せた効果を得られる。

**【0112】**

(第15実施形態)

第15実施形態は、第11実施形態(図12)の半導体集積回路装置のプレート線PL、／PLの駆動方法の一例に関する。より詳しくは、第5実施形態と同様にプレート線PL、／PLが駆動される。

**【0113】**

図16は、本発明の第15実施形態を示しており、図12の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例にとり、以下に動作の説明をする。

**【0114】**

図16に示すように、スタンバイ時の状態は、プレート線PL、／PLが内部電源電位Vaaに駆動されていることを除いて、第12実施形態と同様である。アクティブ時、リセット信号RST0、非選択セルのワード線WL0、WL2、WL3がローレベルとされる。この状態で、ブロック選択信号／BS0がハイレベルとされることにより、強誘電体キャパシタC1からビット線／BLに情報が読み出される。ワード線WL4～WL7はハイレベルを維持し、ブロック選択信号BS0、BS1、／BS1はローレベルを維持し、プレート線PLは内部電源電位Vaaを維持する。続いて、ビット線／BL上の電位が増幅され、次いで、第5実施形態と同様にして再書き込み動作が行われ、次いで、第12実施形態と同様にしてスタンバイ状態に移行する。

**【0115】**

第15実施形態に係る半導体集積回路装置によれば、第11実施形態と第5実施形態とを合せた効果を得られる。

**【0116】**

(第16実施形態)

第16実施形態は、第1実施形態(図1)の半導体集積回路装置の構造に関する。図17は、本発明の第16実施形態を示しており、図1の半導体集積回路装置に適用可能な、セルブロックの断面構造を概略的に示している。図17に示すように、半導体基板subの表面に、相互に距離を有してソース／ドレイン領域(アクティブ領域)SD1～SD9が形成される。ソース／ドレイン領域(拡散層)SD1とSD2との間の半導体基板sub上には、ゲート絶縁膜(図示せぬ)を介してゲート電極(ブロック選択信号線)BSが設けられる。同様に、ソース／ドレイン領域SD2、SD3間、SD4、SD5間、SD5、SD6間、SD7、SD8間の半導体基板sub上方に、ゲート電極(ワード線)WL0、WL1、WL2、WL3がそれぞれ設けられる。ソース／ドレイン領域SD8、SD9間の半導体基板sub上方に、ゲート電極(リセット信号線)RSTが設けられる。各ゲート電極と、隣接する2つのソース／ドレイン領域により、セルトランジスタQR、ブロック選択トランジスタQS、セルトランジスタQ0～Q3が構成される。

**【0117】**

ゲート電極WL0～WL3上方には、ローカルビット線LBLが設けられる。ローカルビット線LBLは、コンタクトP1を介してソース／ドレイン領域SD2、SD5、SD8と電気的に接続される。ローカルビット線LBLの上方には、強誘電体キャパシタC0～C3が設けられる。強誘電体キャパシタC0～C3は、それぞれ、下部電極BE、強誘電体膜FC、上部電極TEから構成される。強誘電体キャパシタC0～C3の各下部電極BEは、コンタクトP2を介して、ソース／ドレイン領域SD3、SD4、SD6、SD7と電気的に接続される。コンタクトP2は、コンタクトP1と異なる面(コンタクトP1の手前または奥)に設けられる。

**【0118】**

強誘電体キャパシタC0～C3の各上部電極TEは、コンタクトP3を介して、上部電極TEの上方に設けられたプレート線PLと電気的に接続される。プレート線PLは、コンタクトP4を介してソース／ドレイン領域SD9と電気的に接続される。

**【0119】**

プレート電極PLの上方には、ビット線BLが設けられる。ビット線BLは、コンタクトP5を介してソース／ドレイン領域SD1と電気的に接続される。

#### 【0120】

第16実施形態に係る半導体集積回路装置によれば、第1実施形態の半導体集積回路装置のセルブロックCBを実現できる。また、ビット線BLの延在方向において3F、ワード線WL0～WL3の延在方向においてほぼ2Fの6F<sup>2</sup>のセルサイズを実現できる。

#### 【0121】

##### (第17実施形態)

第17実施形態は、第16実施形態に適用可能なレイアウトに関する。図18、図19は、本発明の第17実施形態を示しており、図17の半導体集積回路装置に適用可能なレイアウトを示している。図18、図19のXVII-XVII線に沿った断面図が、図17に相当する。

#### 【0122】

図18、図19に示すように、アクティブ領域AA1は、略V字形状を有する。V字の各辺が、ゲート電極BS、WL0をそれぞれ横切るように位置する。V字形状の頂点（2辺のそれぞれの一端）に、ソース／ドレイン領域SD2が形成され、この位置にコンタクトP1が形成される。2辺のそれぞれの他端にソース／ドレイン領域SD1、SD3が形成され、これらの位置にコンタクトP2、P5がそれぞれ形成される。アクティブ領域AA1は、V字形状に限らず、ソース／ドレイン領域SD1およびSD3と、ソース／ドレイン領域SD2とのゲート電極の延在方向に沿った軸の上の座標の値が異なれば、どのような形状でも構わない。

#### 【0123】

また、アクティブ領域AA2も、ゲート電極WL1、WL2に対して、アクティブ領域AA1と同様に形成される。アクティブ領域AA2の頂点にソース／ドレイン領域SD5が形成され、この位置にコンタクトP1が形成される。アクティブ領域AA2の2辺の他端にソース／ドレイン領域SD4、SD6がそれぞれ形成され、これらの位置にコンタクトP2がそれぞれ形成される。

#### 【0124】

また、アクティブ領域AA3が、ゲート電極WL3、RSTに対してアクティブ領域AA1と同様に形成される。アクティブ領域AA3の頂点にソース／ドレイン領域SD8が形成され、この位置にコンタクトP1が形成される。アクティブ領域AA3の2辺の他端にソース／ドレイン領域SD7、SD9がそれぞれ形成され、これらの位置にコンタクトP2、P4がそれぞれ形成される。

#### 【0125】

第17実施形態に係る半導体集積回路装置によれば、図17の半導体集積回路装置を実現でき、また第16実施形態と同じ効果を得られる。

#### 【0126】

##### (第18実施形態)

第18実施形態は、第6実施形態（図7）、第11実施形態（図12）の半導体集積回路装置の構造に関する。図20は、本発明の題18実施形態を示しており、図7、図12の半導体集積回路装置に適用可能な、セルブロックCB0の断面構造を概略的に示している。セルブロックCB1～CB3も同様の構造によりに実現される。

#### 【0127】

図20に示すように、図17の半導体集積回路装置とは、プレート線PL、／PLの構造、およびブロック選択トランジスタQS1が追加されたことが異なる。すなわち、半導体基板subの表面に、ソース／ドレイン領域SD1と距離を有してソース／ドレイン領域SD0が形成される。ソース／ドレイン領域SD0、SD1間の半導体基板sub上方にゲート絶縁膜（図示せぬ）を介してゲート電極（ブロック選択信号線）BS1が設けられる。ソース／ドレイン領域SD0、SD1、ゲート電極BS1により、ブロック選択トランジスタQS1が構成される。

**【0128】**

ゲート電極BS1の上方には、配線層M1が設けられる。配線層M1は、コンタクトP5を介してソース／ドレイン領域SD1と電気的に接続される。ビット線／BLは、コンタクトCP6を介してソース／ドレイン領域SD0と電気的に接続される。

**【0129】**

図17のプレート線PLの代わりに配線層M2が設けられる。配線層M2は、コンタクトP7を介して、ビット線／BLの上方に設けられたプレート線／PLと電気的に接続される。

**【0130】**

図20のセルブロックCB0と同様の構成のセルブロックCB1が設けられた場合、セルブロックCB1の配線層M2は、コンタクトP7を介してプレート線PLと電気的に接続される。

**【0131】**

プレート線／PLと同じ層（レベル）には、シャント（shunt）用の配線層RST、WL0～WL3、BS0、BS1が設けられる。これらのシャント用属配線層RST、WL0～WL3、BS0、BS1により、トランジスタのゲート電極RST、WL0～WL3、BS0、BS1の抵抗による信号の遅延を緩和することができる。例えば、シャント用配線層RST、WL0～WL3、BS0、BS1は、ゲート電極と同方向に延在し、延在方向において一定の間隔を有して対応する（同じ参照符号の）ゲート電極と電気的に接続される（図示せぬ）。

**【0132】**

また、シャント用の金属配線と同じ層には、階層ワード線方式を実現するためのメインブロック選択トランジスタ配線MBSが設けられる。

**【0133】**

シャント用配線と階層ワード線方式のいずれかを用いた構成とすることももちろん可能である。

**【0134】**

なお、本実施形態および以下の実施形態のうち構造に関するものにおいて、各トランジスタはフィールドトランジスタにより形成された場合を示しているが、STI（Shallow Trench Isolation）によって形成することも可能である。

**【0135】**

第18実施形態に係る半導体集積回路装置によれば、第6、11実施形態の半導体集積回路装置のセルブロックCB0～CB3を実現でき、フォールデッドビット線構成を実現できる。

**【0136】**

（第19実施形態）

第19実施形態は、第18実施形態に適用可能なレイアウトに関する。図21、図22は、本発明の第19実施形態を示しており、図20の半導体集積回路装置に適用可能なレイアウトを示している。図21、図22のXX-X-X線に沿った断面図が、図20に相当する。

**【0137】**

図21、図22は、アクティブ領域AA0、コンタクトP6が付加されたことを除いて図18、図19と同じである。アクティブ領域AA1と距離を有して、アクティブ領域AA0が形成され、この位置にコンタクトP6が形成される。なお、第17実施形態と同様に、アクティブ領域AA1～AA3の形状は、略V字形状に限られない。

**【0138】**

第19実施形態に係る半導体集積回路装置によれば、図20の半導体集積回路装置を実現でき、また第18実施形態と同じ効果を得られる。

**【0139】**

（第20実施形態）

第20実施形態は、半導体集積回路装置の構造に関する。第18実施形態では、プレート線PL、／PLは、ビット線／BLの上の階層に設けられ、配線層M2を介在して強誘電体キャパシタC0～C3と電気的に接続される。これに対して、第20実施形態では、第16実施形態と同様に、プレート線PL、／PLが配線層M2の階層に設けられる。

#### 【0140】

図23は、本発明の第20実施形態を示しており、図7、図12の半導体集積回路装置に適用可能なセルブロックCB0の断面構造を概略的に示している。図23に示すように、図20の半導体集積回路装置とは、配線層M2がプレート線／PLとされていること、およびプレート線／PLと同じ階層にプレート線PLが設けられていることが異なる。プレート線PLは、図23と異なる平面において、例えばプレート線／PLと同じ方向に延在し、セルブロックCB1（図示せぬ）の上部電極TEとコンタクトP3を介して電気的に接続される。

#### 【0141】

第20実施形態によれば、図17の構造に、さらに上層の配線層を付加することなく、フォールデッドビット線構成を実現できる。

#### 【0142】

##### (第21実施形態)

第21実施形態は、第20実施形態に適用可能なプレート線PL、／PLの形状に関する。図24は、本発明の第21実施形態を示しており、図23の半導体集積回路装置に適用可能なプレート線PL、／PLの平面形状を示している。図24に示すように、プレート線PL、／PLは、略櫛形状を有する。プレート線PL、／PLの櫛形状の歯に相当する部分が、図23で図面の横方向に延在するプレート線PL、／PLの位置に設けられる。プレート線PL、／PLは、図24の横方向においてセルブロック2つに亘り、歯に相当する部分のほぼ中央にコンタクトP4が形成される。

#### 【0143】

第21実施形態によれば、第20実施形態と同じ効果を得られる。

#### 【0144】

##### (第22実施形態)

第22実施形態は、半導体集積回路装置の構造に関する。第16～第20実施形態では、ローカルビット線LBL（ローカルビット線／LBL、LBL0）は、ゲート電極WL0～WL3上方に設けられた配線層により実現される。これに対し、第22実施形態では、アクティブ領域により実現される。

#### 【0145】

図25は、本発明の第22実施形態を示しており、図7、図12の半導体集積回路装置に適用可能な、セルブロックの断面構造を概略的に示している。図25に示すように、ローカルビット線／LBL（0）、およびコンタクトP1が設けられていない。ソース／ドレイン領域SD2、SD5、SD8は、図25と異なる面（すなわち、手前または奥の面）のアクティブ領域によって相互に接続されている。これにより、ソース／ドレイン領域SD2、SD5、SD8が電気的に接続される。

#### 【0146】

第22実施形態によれば、ローカルビット線／LBLがアクティブ領域により実現されている。このため、ローカルビット線／LBLとして機能する配線層を設ける必要がない。よって、半導体集積回路装置の製造コストを低く抑えながら、第20実施形態と同じ効果を得られる。

#### 【0147】

##### (第23実施形態)

第23実施形態は、第22実施形態に適用可能なレイアウトに関する。図26は、本発明の第23実施形態を示しており、図25の半導体集積回路装置に適用可能なレイアウトを示している。図26に示すように、アクティブ領域AA4は、第1部分と第2部分とを有する。第1部分は、ゲート電極BS0、WL0～WL3、RSTを横切る。第2部分は

、第1部分から第1部分ゲート電極B S 0、WL 0～WL 3、R S Tの延在方向に伸びた後、第1部分と同方向に延在し、ゲート電極WL 0～WL 3を横切る。第1部分の両端は、ソース／ドレイン領域S D 1、S D 9に対応する。第2部分のうち、ゲート電極WL 0の両側は、ソース／ドレイン領域S D 2、S D 3に対応する。ゲート電極WL 1の両側は、ソース／ドレイン領域S D 4、S D 5に対応し、ゲート電極WL 2の両側は、ソース／ドレイン領域S D 5、S D 6に対応する。ゲート電極WL 3の両側は、ソース／ドレイン領域S D 7、S D 8に対応する。

#### 【0148】

第23実施形態によれば、ソース／ドレイン領域S D 2、S D 5、S D 8は、アクティブ領域A A 4の第1部分により電気的に接続される。よって、第22実施形態と同じ効果を得られる。

#### 【0149】

##### (第24実施形態)

第24実施形態は、第1実施形態(図1)の変形例に関わる。図27は、本発明の第24実施形態に係る半導体集積回路装置の回路構成を示している。図27に示すように、リセットトランジスタQ Rの一端(ローカルビット線L B Lと接続された端部と反対の端部)が、第1電源V P R 1と接続されている。スタンバイ時、この第1電源はプレート線P Lの電位と等しくされることにより、第1実施形態と同じ状態を得られる。その他の構成、動作については、第1実施形態と同じである。

#### 【0150】

第24実施形態によれば、第1実施形態と同じ効果を得られる。

#### 【0151】

##### (第25実施形態)

第25実施形態は、第24実施形態(図27)の半導体集積回路装置のプレート線P Lの駆動方法の一例に関する。より詳しくは、第2実施形態と同様に、プレート線P Lのスタンバイ時の電位を電位V s s、駆動時の電位を内部電源電位V a aとした場合に関する。

#### 【0152】

図28は本発明の第25実施形態を示しており、図27の半導体集積回路装置の動作を示している。スタンバイ時、第1電源V P R 1は電位V s sとされる。この状態で、第2実施形態と同様の動作が行われる。

#### 【0153】

第25実施形態によれば、第2実施形態と同じ効果を得られる。

#### 【0154】

##### (第26実施形態)

第26実施形態は、第6実施形態(図7)と第24実施形態(図27)とを組み合わせた構成を有する。図29は、本発明の第26実施形態に係る半導体集積回路装置の回路構成を示している。図29に示すように、第6実施形態(図7)の構成において、第24実施形態と同様、リセットトランジスタQ R 0、Q R 1の一端(ローカルビット線／L B L、L B Lとそれぞれ接続された端部と反対の端部)は第1電源V P R 1と接続される。スタンバイ時、第1電源V P R 1の電位がプレート線P Lの電位と等しくされることにより、第6実施形態と同じ状態を得られる。その他の構成、動作については、第6実施形態と同じである。

#### 【0155】

第26実施形態によれば、第6実施形態と同じ効果を得られる。

#### 【0156】

##### (第27実施形態)

第27実施形態は、第26実施形態(図29)の半導体集積回路装置のプレート線P L／P Lの駆動方法の一例に関する。より詳しくは、第2実施形態と同様に、プレート線P L／P Lのスタンバイ時の電位を電位V s s、駆動時の電位を内部電源電位V a aと

した場合に関する。

**【0157】**

図30は本発明の第27実施形態を示しており、図29の半導体集積回路装置の動作を示している。スタンバイ時、第1電源VPR1の電位はVssとされる。この状態で、第2、第7実施形態と同様の動作が行われる。

**【0158】**

第27実施形態によれば、第26実施形態と2実施形態とを合せた効果を得られる。

**【0159】**

(第28実施形態)

第28実施形態は、第26実施形態(図29)の半導体集積回路装置のプレート線PL、／PLの駆動方法の一例に関する。より詳しくは、第3実施形態と同様に、プレート線PL、／PLの電位を1／2Vaaに固定した場合に関する。

**【0160】**

図31は本発明の第28実施形態を示しており、図29の半導体集積回路装置の動作を示している。スタンバイ時、第1電源VPR1の電位は1／2Vaaとされる。この状態で、第3、第8実施形態と同様の動作が行われる。

**【0161】**

第28実施形態によれば、第26実施形態と3実施形態とを合せた効果を得られる。

**【0162】**

(第29実施形態)

第29実施形態は、第26実施形態(図29)の半導体集積回路装置のプレート線PL、／PLの駆動方法の一例に関する。より詳しくは、第4実施形態と同様に、プレート線PL、／PLが駆動される。

**【0163】**

図32は本発明の第29実施形態を示しており、図29の半導体集積回路装置の動作を示している。スタンバイ時、第1電源VPR1の電位はrefに駆動されている。この状態で、第4、第9実施形態と同様の動作が行われる。

**【0164】**

第29実施形態によれば、第26実施形態と4実施形態とを合せた効果を得られる。

**【0165】**

(第30実施形態)

第30実施形態は、第26実施形態(図29)の半導体集積回路装置のプレート線PL、／PLの駆動方法の一例に関する。より詳しくは、第5、第10実施形態と同様にプレート線PL、／PLが駆動される。

**【0166】**

図33は本発明の第30実施形態を示しており、図29の半導体集積回路装置の動作を示している。スタンバイ時、第1電源電位VPRは内部電源電位Vaaに駆動されている。この状態で、第5、第10実施形態と同様の動作が行われる。

**【0167】**

第30実施形態によれば、第26実施形態と5実施形態とを合せた効果を得られる。

**【0168】**

(第31実施形態)

第31実施形態では、リセットトランジスタが設けられない。図34は、本発明の第31実施形態に係る半導体集積回路装置の回路構成を示している。図34に示すように、図1の回路構成からリセットトランジスタQRが除かれた構成のセルブロックCB0、CB2が、ビット線BLに接続されている。各強誘電体キャパシタC0～C3、C8～C12の一端は、プレート線PLと接続される。次に、強誘電体キャパシタC1から情報が読み出される場合を例にとり、以下に動作の説明をする。

**【0169】**

スタンバイ時、プレート線PLおよびビット線BLには、同電位(電位Vss)が印加

されている。この状態で、スタンバイ状態の間、セルトランジスタQ0～Q3、Q8からQ11、およびブロック選択トランジスタQS0、QS2はオンとされる。したがって、強誘電体キャパシタC0～C3、C8～C11の両端は同電位とされる。

#### 【0170】

アクティブ時、非選択セルブロックCB2のブロック選択トランジスタQS2がオフとされ、選択セルブロックCB0内の選択セル以外のセルトランジスタQ0、Q2、Q3がオフとされる。次に、プレート線PLが駆動されることにより、選択セルの強誘電体キャパシタC1のみから情報が読み出される。この後、ビット線BL上の電位の増幅、再書き込みが、第1実施形態と同様に行われる。

#### 【0171】

第31実施形態によれば、第1実施形態と同じ効果を得られる。

#### 【0172】

##### (第32実施形態)

第32実施形態は、第31実施形態(図34)の半導体集積回路装置のプレート線PLの駆動方法の一例に関する。より詳しくは、第2実施形態と同様に、プレート線PLのスタンバイ時の電位を電位Vss、駆動時の電位を内部電源電位Vaaとした場合に関する。

#### 【0173】

図35は、本発明の第32実施形態を示しており、図34の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報を読み出す場合を例に取り、以下に、動作の説明をする。

#### 【0174】

図35に示すように、スタンバイ時、ワード線WL0～WL7、ブロック選択信号BS0、BS1はハイレベルとされている。アクティブ時、選択セルブロックCB0内の選択セル以外のセルトランジスタのワード線WL0、WL2、WL3がローレベルとされる。次に、非選択セルブロックCB1のブロック選択信号BS1がローレベルとされる。選択されたセルブロックCB0のブロック選択信号BS0はハイレベルのままとされる。この状態で、プレート線PLが内部電源電位Vaaに駆動されることにより、強誘電体キャパシタC1からビット線BLにセル情報を読み出される。この後、ビット線BL上の電位の増幅、再書き込みが、第1実施形態と同様に行われる。そして、ワード線WL0、WL2、WL3、ブロック選択信号BS1がハイレベルとされることにより、スタンバイ状態へ移行する。

#### 【0175】

第32実施形態によれば、第31実施形態と同じ効果を得られる。

#### 【0176】

##### (第33実施形態)

第33実施形態は、第6実施形態(図7)の構成に加え、ビット線BL、/BLの電位を増幅する増幅部が設けられた構成に関する。図36は、本発明の第33実施形態に係る半導体集積回路装置の回路構成を示している。図36に示すように、増幅トランジスタQA0、QA1が、セルブロックCB0(CB1)内に設けられる。増幅トランジスタQA0の一端はビット線BLと接続され、他端は第2電源VPR2と接続され、ゲートはローカルビット線/LBLと接続される。増幅トランジスタQA1の一端はビット線/BLと接続され、他端は第2電源VPR2と接続され、ゲートはローカルビット線LBLと接続される。増幅トランジスタQA1の他端を第3電源と接続し、第3電源が第2電源と同じ電位となるように制御することも可能である。

#### 【0177】

次に、動作について説明する。スタンバイ時の状態は、第6実施形態と同じである。アクティブ時、リセットトランジスタQR0、QR1、セルトランジスタQ0、Q2、Q3、Q4、Q6、Q7がオフとされる。この状態で、セルブロックCB0内のセルから情報が読み出される場合、プレート線/PLのみ駆動され、プレート線PLは駆動されない。

この結果、ローカルビット線／L B Lにセル情報が読み出される。

#### 【0178】

ローカルビット線／L B Lに読み出された電位が増幅トランジスタQ A 0のゲートに供給され、増幅トランジスタQ A 0によって増幅される。この結果、ローカルビット線／L B Lに読み出された電位の反転データが増幅された信号がビット線B L上に現れる。ビット線B L上の電位、およびビット線／B L上の参照電位がセンスアンプS Aにより増幅される。

#### 【0179】

センスアンプS Aによる増幅後、選択セルブロックのブロック選択トランジスタQ S 0がオンとされる。この結果、ビット線／B Lの電位が、ブロック選択トランジスタQ S 0を介して、ローカルビット線／L B Lに転送される。よって、ビット線／B Lの正論理の情報が、選択セルの強誘電体キャパシタに再書き込みされる。すなわち、第1実施形態と同様に、読み出された情報が“0”データの場合、プレート線／P Lの電位がハイレベルの状態でデータが強誘電体キャパシタC 1に書き戻される。“1”データの場合、プレート線／P Lの電位がローレベルとされた後、書き戻される。

#### 【0180】

一方、セルブロックC B 1内のセルから情報が読み出される場合、読み出された電位が増幅トランジスタQ A 1のゲートに入力され、増幅トランジスタQ A 1によって増幅される。この結果、読み出された電位の反転データが増幅された信号がビット線／B L上に現れ、次いで、ビット線B L、／B L上の電位がセンスアンプS Aにより増幅される。

#### 【0181】

センスアンプS Aによる増幅後、選択セルブロックのブロック選択トランジスタQ S 1がオンとされることにより、ローカルビット線L B Lの電位が、ビット線B Lと同電位とされる。よって、ビット線B Lの正論理の情報が、選択セルの強誘電体キャパシタに再書き込みされる。

#### 【0182】

第3 3実施形態によれば、第6実施形態と同じ効果を得られる。さらに、第3 3実施形態によれば、ローカルビット線L B L、／L B L上の読み出し電位を増幅する増幅トランジスタQ A 0、Q A 1が設けられる。よって、ローカルビット線L B L、／L B Lの小さい負荷容量で強誘電体キャパシタが分極反転するため、強誘電体キャパシタが小さい場合でも読み出し信号を確保できる。

#### 【0183】

##### (第3 4実施形態)

第3 4実施形態は、第3 3実施形態(図3 6)の半導体集積回路装置のプレート線P L、／P Lの駆動方法の一例に関する。より詳しくは、第2実施形態と同様に、プレート線P L、／P Lのスタンバイ時の電位を電位V s s、駆動時の電位を内部電源電位V a aとした場合に関する。

#### 【0184】

図3 7は本発明の第3 4実施形態を示しており、図3 6の半導体集積回路装置の動作を示している。強誘電体キャパシタC 1から情報を読み出す場合を例に取り、以下に、動作の説明をする。

#### 【0185】

図3 7に示すように、スタンバイ時、リセット信号R S T、ワード線WL 0～WL 3はハイレベル(電位V a a)とされ、ブロック選択信号B S、／B Sはローレベルとされ、プレート線P L、／P Lは電位V s sとされている。よって、ローカルビット線／L B Lはローレベルとされ、強誘電体キャパシタC 0～C 3の両端は同電位とされている。ローカルビット線L B Lも同様である。

#### 【0186】

アクティブ時、リセット信号R S T、および非選択セルのワード線WL 0、WL 2、WL 3がローレベルとされ、選択セルのワード線WL 1が電位V p pとされる。この状態で

、プレート線PLが内部電源電位Vaaに駆動されることにより、ローカルビット線/LBLに強誘電体キャパシタC1から情報が読み出される。この読み出された電位が増幅トランジスタQA0によって増幅され、この結果、ローカルビット線/LBLに読み出された電位の反転データが増幅された信号がビット線BL上に現れる。ビット線BL、/BL上の電位はセンスアンプSAにより増幅される。

#### 【0187】

増幅後、ブロック選択信号/B Sがハイレベルとされる。この結果、ビット線/BLの電位が、ローカルビット線/LBLに転送されることにより強誘電体キャパシタC1に再書き込みされる。この後、リセット信号RST、ワード線WL0、WL2、WL3がハイレベルとされ、ブロック選択信号/B Sがローレベルとされることにより、スタンバイ状態へ移行する。

#### 【0188】

第34実施形態によれば、第33実施形態と第2実施形態とを合せた効果を得られる。

#### 【0189】

(第35実施形態)

第35実施形態は、第33実施形態(図36)と第24実施形態(図27)とを組み合わせた構成を有する。図38は、本発明の第35実施形態に係る半導体集積回路装置の回路構成を示している。図38に示すように、第33実施形態の構成において、第24実施形態と同様に、リセットトランジスタQR0、QR1の一端は、第1電源VPR1と接続される。スタンバイ時、第1電源VPR1の電位がプレート線PLの電位と等しくされる。この結果、第34実施形態と同じ状態を得られる。その他の構成、動作については、第34実施形態と同じである。

#### 【0190】

第35実施形態によれば、第34実施形態と同じ効果を得られる。

#### 【0191】

(第36実施形態)

第36実施形態は、第35実施形態(図38)の半導体集積回路装置のプレート線PL、/PLの駆動方法の一例に関する。より詳しくは、第2実施形態と同様に、プレート線PL、/PLのスタンバイ時の電位を電位Vss、駆動時の電位を内部電源電位Vaaとした場合に関する。

#### 【0192】

図39は本発明の第36実施形態を示しており、図38の半導体集積回路装置の動作を示している。図39に示すように、スタンバイ時、第1電源VPR1は電位Vssとされる。この状態で、第34実施形態と同様の動作が行われる。

#### 【0193】

第36実施形態によれば、第35実施形態と第2実施形態とを合せた効果を得られる。

#### 【0194】

(第37実施形態)

第37実施形態は、第1～第36実施形態、および後述の第41～第62実施形態に係る半導体集積回路装置の適用例に関する。図40は、本発明の第37実施形態に係るデジタル加入者線用モジュールのデータパス部分を示すブロック図である。図40に示すように、このモジュールは、プログラマブルデジタルシグナルプロセッサ(DSP:Digital Signal Processor)100、アナログ～デジタル(A/D)コンバータ110、デジタル～アナログ(D/A)コンバータ120、送信ドライバ130、および受信機増幅器140などを含んでいる。

#### 【0195】

図40では、バンドパスフィルタが省略されている。その代わりに回線コードプログラム(DSPで実行される、コード化された加入者回線情報、伝送条件等(回線コード;QAM、CAP、RSK、FM、AM、PAM、DWMT等)に応じてモジュールを選択、動作させるためのプログラム)を保持するための種々のタイプのオプションのメモリが設けら

れる。このメモリとして、第1～第36実施形態、および第41～第44実施形態の半導体集積回路装置（F e R A M）170を示している。

### 【0196】

なお、本実施形態では、回線コードプログラムを保持するためのメモリとして半導体集積回路装置170が用いられているが、半導体集積回路装置170のメモリに加えて従来のM R O M、S R A M、フラッシュメモリが接続されていてもよい。

### 【0197】

#### (第38実施形態)

第38実施形態は、第1～第36実施形態、および第41～第62実施形態に係る半導体集積回路装置の適用例に関する。図41は本発明の第38実施形態に係る、携帯電話端末300を示している。図41に示すように、通信機能を実現する通信部200は、送受信アンテナ201、アンテナ共用器202、受信部203、ベースバンド処理部204、音声コーデックとし用いられるD S P 205、スピーカ（受話器）206、マイクロホン（送話器）207、送信部208、および周波数シンセサイザ209等を備えている。

### 【0198】

また、この携帯電話端末300は、当該携帯電話端末の各部を制御する制御部220を有する。制御部220は、C P U（Central Processing Unit）221、R O M 222、第1～第36実施形態、および第41～第62実施形態の半導体集積回路装置（F e R A M）223、フラッシュメモリ224がC P Uバス225を介して接続されて形成されたマイクロコンピュータである。R O M 222には、C P U 221において実行されるプログラムや表示用のフォント等に関して必要なデータが予め記憶されている。

### 【0199】

F e R A M 223は、主に作業領域と電源オフ直前のデータ保存に用いられ、C P U 221がプログラムの実行中において計算途中のデータなどを必要に応じて記憶したり、制御部220と各部との間でやり取りするデータを電源オフの間、一時記憶したりするため等に用いられる。また、フラッシュメモリ224は、書き込み速度が遅いため、電源投入のプログラムロード等のデータ記憶に用いられる。また、容量が大きいため、大容量のデータ保存に用いられる。

### 【0200】

また、携帯電話端末300は、音声データ再生処理部211、外部出力端子212、L C D（Liquid Crystal Display）コントローラ213、表示用のL C D 214、呼び出し音を発生するリンガ215を有する。音声データ再生処理部211は、携帯電話端末300に入力された音声データ（あるいは後述する外部メモリ240に記憶された音声データ）を再生する。再生された音声データは、外部出力端子212を介してヘッドフォンや携帯型スピーカ等に伝えることにより、外部に取り出される。L C Dコントローラ213は、例えばC P U 221からの表示情報をC P Uバス225を介して受け取り、L C D 214を制御するためのL C D制御情報に変換する。この制御情報によって、L C D 214が駆動され、情報が表示される。

### 【0201】

また、携帯電話端末300は、インターフェース回路（I/F）231、233、235、外部メモリ240、外部メモリスロット232、キー操作部234、外部入出力端子236を有する。外部メモリスロット232にはメモリカード等の外部メモリ240が挿入される。外部メモリスロット232は、インターフェース回路231を介してC P Uバス225に接続される。このように、携帯電話端末300にスロット232を設けることにより、携帯電話端末300の内部の情報を外部メモリ240に書き込んだり、あるいは外部メモリ240に記憶された情報（例えば音声データ）を携帯電話端末300に入力したりすることが可能となる。キー操作部234は、インターフェース回路233を介してC P Uバス225に接続される。キー操作部234から入力されたキー入力情報は、例えばC P U 221に伝えられる。外部入出力端子236は、インターフェース回路233を介してC P Uバス225に接続され、携帯電話端末300に外部から種々の情報を入力し

たり、あるいは携帯電話端末300から外部へ情報を出力したりする際の端子として機能する。

#### 【0202】

なお、本実施形態では、ROM222、FeRAM223、フラッシュメモリ224が用いられているが、フラッシュメモリ224、ROM222の両方またはいずれか一方をFeRAMに置き換えることもできる。

#### 【0203】

##### (第39実施形態)

第39実施形態は、第1～第36実施形態、および第41～第62実施形態に係る半導体集積回路装置の適用例に関し、第1～第36実施形態、および第41～第62実施形態に係る半導体集積回路装置をスマートメディア等のメディアコンテンツを収納するカードに適用した例に関する。

#### 【0204】

図42は、第39実施形態に係るメモリカードを示している。図42に示すように、メモリカード400には、FeRAMチップ401が内蔵されている。FeRAMチップ401は、第1～第36実施形態、および第41～第62実施形態の半導体集積回路装置を含んでいる。

#### 【0205】

##### (第40実施形態)

第40実施形態は、第1～第36実施形態、および第41～第62実施形態に係る半導体集積回路装置の適用例に関し、第1～第36実施形態、および第41～第62実施形態に係る半導体集積回路装置をシステムLSIに適用した例に関する。メモリおよびロジック等を1つのシステムチップに集積し、1つのシステムを形成する、いわゆるシステムLSI(Large Scale Integrated Circuit)が知られている。システムLSIでは、図43に例示するように、RAM回路RAM、ロジック回路LOGIC等の複数の機能ブロック501(コア、マクロ、IP(Intellectual property))が半導体チップ(半導体基板)502の上に設けられる。そして、これらマクロ501により、全体として所望のシステムが構築される。RAM回路RAMは、例えば、SRAM、DRAM等により構成される。

#### 【0206】

##### (第41実施形態)

第41実施形態は、フォールデッドビット線構成で、一本のプレート線PLが共用される構成を有する。図53は、本発明の第41実施形態に係る半導体集積回路装置の回路構成を示している。図53に示すように、第41実施形態の回路構成は、以下の点を除いて、第6実施形態を示す図7と同じである。すなわち、図7では、2つのビット線/BL、BLに対してプレート線/PL、PLがそれぞれ設けられている。これに対して、図53では、1つのプレート線PLが、リセットトランジスタQR0、QR1を介して、ローカルビット線/LBL、LBLにそれぞれ接続されている。リセットトランジスタQR0、QR1のゲートには、リセット信号/RST、リセット信号RSTがそれぞれ供給される。

#### 【0207】

動作に関しても第6実施形態と同様である。すなわち、スタンバイ時、リセットトランジスタQR0、QR1はオンとされている。アクティブ時、セルブロックCB0内のメモリセルの読み出しの場合、リセットトランジスタQR0がオフとされ、非選択セルのセルトランジスタがオフとされる。次に、ブロック選択トランジスタQS0がオンとされ、プレート線PLが駆動される。リセットトランジスタQR1はオンのままとされ、ブロック選択トランジスタQS1はオフのままとされる。セルブロックCB1内のメモリセルの読み出しの場合は、ブロック選択トランジスタQS1がオンとされ、ブロック選択トランジスタQS0がオフのままとされることを除いて、同様に行われる。

#### 【0208】

第41実施形態に係る半導体集積回路装置によれば、第6実施形態と同じ効果を得られ

る。さらに、第41実施形態によれば、プレート線PLが2つのセルブロックCB0、CB1により共用される。このため、プレート線PLが2つ設けられた場合よりもプレート線間のピッチの制限が緩和される。また、フォールデッドビット線構造においても、第6実施形態よりさらにプレート線の数を減少することができるため、プレート線駆動回路PLDの面積をさらに縮小でき、駆動能力の向上を実現できる。

#### 【0209】

##### (第42実施形態)

第42実施形態は、第41実施形態(図53)の半導体集積回路装置のプレート線PLの駆動方法の一例に関する。より詳しくは、第2実施形態と同様に、プレート線PLのスタンバイ時の電位を電位Vss、駆動時の電位を内部電源電位Vaaとした場合に関する。

#### 【0210】

図54は本発明の第42実施形態を示しており、図53の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例に取り、以下に動作の説明をする。

#### 【0211】

図54に示すように、スタンバイ時、リセット信号RST、/RST、ワード線WL0～WL3はハイレベルとされ、ブロック選択信号BS、BS/はローレベルとされている。プレート線PLは、電位Vssとされている。

#### 【0212】

アクティブ時、リセット信号/RSTがローレベルとされ、非選択セルのワード線WL0、WL2、WL3がローレベルとされる。選択セルのワード線WL1はハイレベルを維持する。次いで、ブロック選択信号/BSがハイレベルとされることにより、ブロック選択トランジスタQSOがオンとされる。この間、リセット信号RSTはハイレベルを維持し、ブロック選択信号BSはローレベルを維持する。

#### 【0213】

この状態で、プレート線PLが内部電源電位Vaaに駆動されることにより、強誘電体キャパシタC1からビット線/BLにセル情報が読み出される。ビット線/BL上の電位は、ビット線BL上の電位を参照電位として用いて、センスアンプSAにより増幅される。セルブロックCB1内のメモリセルの読み出しの場合も同様である。

#### 【0214】

セルブロックCB0内の強誘電体キャパシタC0～C3からの情報の読み出しの間、リセット信号RSTはハイレベルを維持し、ブロック選択信号BSはローレベルを維持する。このため、プレート線PLが駆動されても、ローカルビット線LBLとプレート線PLは短絡され、且つセルブロックCB1はビット線BLと電気的に分離されている。このため、セルブロックCB1内の強誘電体キャパシタC4～C7には、電圧が印加されない。

#### 【0215】

第42実施形態に係る半導体集積回路装置によれば、第41実施形態と第2実施形態とを合せた効果を得られる。

#### 【0216】

なお、第42実施形態は、第41実施形態の回路構成に、第2実施形態と同様のプレート線駆動方法を合せたものに関わる。しかしながら、第41実施形態に第8～第10実施形態のプレート線駆動方法を適用することも可能である。この場合、第41実施形態と、第8～第10実施形態とをそれぞれ合せた効果を得られる。

#### 【0217】

##### (第43実施形態)

第43実施形態は、第1実施形態(図1)の1つのメモリセルにおいて、強誘電体キャパシタとセルトランジスタとの接続関係が逆転した構成を有する。

#### 【0218】

図55は、本発明の第43実施形態に係る半導体集積回路装置の回路構成を示している

。図55に示すように、第43実施形態の回路構成は、強誘電体キャパシタC0～C3と、セルトランジスタQ0～Q3との接続関係が逆となっている点を除いて、図1と同じである。すなわち、各メモリセルにおいて、セルトランジスタQ0～Q3の一端は強誘電体キャパシタC0～C3とそれぞれ接続され、他端はプレート線PLと接続される。また、強誘電体キャパシタC0～C3の他端は、ローカルビット線LBLと接続される。動作に関しては、第1実施形態と全く同じである。

#### 【0219】

第43実施形態に係る半導体集積回路装置によれば、第1実施形態と同じ効果を得られる。なお、第43実施形態のメモリセルの構成を第6、第11、第24、第26、第31、第33、第38実施形態の回路構成の各メモリセルに適用することが可能である。

#### 【0220】

##### (第44実施形態)

第44実施形態は、第43実施形態(図55)の半導体集積回路装置のプレート線PLの駆動方法の一例に関する。より詳しくは、第2実施形態と同様に、プレート線PLのスタンバイ時の電位を電位Vss、駆動時の電位を内部電源電位Vaaとした場合に関する。

#### 【0221】

図56は、本発明の第44実施形態を示しており、図55の半導体集積回路装置の動作を示している。図56に示すように、各信号線の電位の変化は、第2実施形態と同じである。

#### 【0222】

第44実施形態によれば、第43実施形態と第2実施形態とを合せた効果を得られる。また、

なお、第44実施形態は、第43実施形態の回路構成に第2実施形態と同様のプレート線駆動方法を合せたものに関わる。しかしながら、第43実施形態に第2～第4実施形態のプレート線駆動方法を適用することも可能である。この場合、第43実施形態(第6、第11、第24、第26、第31、第33、第38実施形態を含む)と、第2～第4実施形態とをそれぞれ合せた効果を得られる。

#### 【0223】

##### (第45実施形態)

第45実施形態では、第1実施形態(図1)と同じ構成のセルブロックが複数個、直列接続された形態を有する。すなわち、まず第1実施形態と同じく、直列接続された強誘電体キャパシタとセルトランジスタとから1つのメモリセルが構成され、このメモリセルが並列に接続され、さらにこれらメモリセルと並列にリセットトランジスタが接続されることにより1つのメモリセルユニットが構成される。このようなメモリセルユニットが直列接続され、また、端部のメモリセルユニットの端部にメモリセルグループ選択トランジスタが接続されることにより、1つのメモリセルグループ(セルグループ)が構成される。

#### 【0224】

図57は、本発明の第45実施形態に係る半導体集積回路装置の回路構成を示している。図57に示すように、セルユニットCU0は、第1実施形態のセルブロックCB0と同様の構成を有する。すなわち、直列接続されたセルトランジスタQ0～Q0と強誘電体キャパシタC0～C3とによりそれぞれ構成された複数のメモリセル、およびリセットトランジスタQR0が並列に接続される。各メモリセルの一端、すなわち、各セルトランジスタQ0～Q3の、強誘電体キャパシタC0～C3との接続ノードと反対の端部は、ローカルビット線LBL0と接続される。各メモリセルの他端、すなわち強誘電体キャパシタC0～C3の、セルトランジスタQ0～Q3との接続ノードと反対の端部は、ローカルビット線LBL1と接続される。

#### 【0225】

ローカルビット線LBL1とローカルビット線LBL2との間には、セルユニットCU

1が設けられる。セルユニットCU1は、セルユニットCU0と同様に、複数のメモリセルとリセットトランジスタQR1が並列に接続された構成を有する。メモリセルは、直列接続されたセルトランジスタQ4～Q7と強誘電体キャパシタC4～C7により構成される。セルユニットCU1のメモリセルは、セルトランジスタQ4～Q7と強誘電体キャパシタC4～C7との接続が、セルユニットCU0のものと逆転している。したがって、強誘電体キャパシタC4～C7の、セルトランジスタQ4～Q7との接続ノードと反対の端部が、ローカルビット線LBL1と接続される。また、セルトランジスタQ4～Q7の、強誘電体キャパシタC4～C7との接続ノードと反対の端部が、ローカルビット線LBL2と接続される。

#### 【0226】

ローカルビット線LBL2とローカルビット線LBL3との間には、セルユニットCU2が設けられる。セルユニットCU2は、セルユニットCU0と同様の構成を有する。すなわち、セルトランジスタQ8～Q11がセルトランジスタQ0～Q3に対応し、強誘電体キャパシタC8～C11が強誘電体キャパシタC0～C3に対応し、リセットトランジスタQR2はリセットトランジスタQR0に対応する。

#### 【0227】

ローカルビット線LBL3とプレート線PLとの間には、セルユニットCU3が設けられる。セルユニットCU3は、セルユニットCU1と同様の構成を有する。すなわち、セルトランジスタQ12～Q15がセルトランジスタQ4～Q7に対応し、強誘電体キャパシタC12～C15が強誘電体キャパシタC4～C7に対応し、リセットトランジスタQR3はリセットトランジスタQR3に対応する。

#### 【0228】

セルトランジスタQ0、Q4、Q8、Q12のゲートは、ワード線WL0と接続される。セルトランジスタQ1、Q5、Q9、Q13のゲートは、ワード線WL1と接続される。セルトランジスタQ2、Q6、Q10、Q14のゲートは、ワード線WL2と接続される。セルトランジスタQ3、Q7、Q11、Q15のゲートは、ワード線WL3と接続される。リセットトランジスタQR0～QR3は、リセット信号RST0～RST3により、それぞれ制御される。リセット信号線RST0～RST3は、リセット信号線デコーダRSDと接続される。

#### 【0229】

セルユニットCU0～CU3によりセルグループが構成される。セルグループは、セルグループ選択トランジスタQSを介してビット線BLと接続される。すなわち、セルグループ選択トランジスタQSの一端は、ローカルビット線LBL0と接続され、他端はビット線BLと接続され、ゲートには、セルグループ選択信号BSが供給される。

#### 【0230】

次に、図57の半導体集積回路装置の動作について、強誘電体キャパシタC6から情報が読み出される場合を取り、図58、図59を参照して説明する。図58は、図57の半導体集積回路装置のスタンバイ時の状態を示しており、図59はアクティブ時の状態を例示している。

#### 【0231】

図58に示すように、スタンバイ時、セルグループ内の全てのセルトランジスタQ0～Q15はオンとされている。このため、全ての強誘電体キャパシタC0～C15の両端の電位はプレート線PLと同電位となり、強誘電体キャパシタC0～C15には電圧が印加されない。また、セルグループ選択トランジスタQSはオフとされている。

#### 【0232】

図59に示すように、アクティブ時、強誘電体キャパシタC6が属するセルユニット内のリセットトランジスタQR1がオフとされ、選択セルと同じ列のセルトランジスタQ2、Q6、Q10、Q14以外のセルトランジスタQ0、Q1、Q3、Q4、Q5、Q7、Q8、Q9、Q11、Q12、Q13、Q15がオフとされる。次いで、セルグループ選択トランジスタQSがオンとされ、プレート線PLが駆動される。

**【0233】**

アクティブ状態の間、リセットトランジスタQR0、QR2、QR3はオンを維持するため、ローカルビット線LBL0とLBL1との間、ローカルビット線LBL2とLBL3との間、ローカルビット線LBL3とプレート線PLとの間、は同電位となる。よって、セルユニットCU0、CU2、CU3内のメモリセルの情報は、読み出されること無く保護される。

**【0234】**

また、リセットトランジスタQR1がオフとされるため、セルユニットCU1内の4つのメモリセルには電圧が印加される。しかしながら、セルユニットCU1内で選択セルのセルトランジスタQ6のみオンとされるため、プレート線PLの電位とビット線BLの電位がともに印加されるのは、強誘電体キャパシタC6のみである。すなわち、プレート線PLの電位が、リセットトランジスタQR3、QR2、セルトランジスタQ6を介してセルトランジスタC6の一端に印加される。また、ビット線BLの電位が、リセットトランジスタQR0、セルグループ選択トランジスタQSを介してセルトランジスタC6の他端に印加される。この結果、強誘電体キャパシタC6からのセル情報が、ローカルビット線LBL0を介してビット線BLに読み出される。この読み出し信号はセンスアンプ（図示せぬ）で増幅される。

**【0235】**

セル情報の読み出し後、読み出された情報が、“0”データの場合、プレート線PLの電位がハイレベルの状態でデータが強誘電体キャパシタC6に書き戻される。“1”データの場合、プレート線PLの電位がローレベルとされた後、書き戻される。この際、セルトランジスタQ0、Q1、Q3、Q4、Q5、Q7、Q8、Q9、Q11、Q12、Q13、Q15はオフとされており、リセットトランジスタQR0、QR2、QR3がオンとされているため、選択セルの強誘電体キャパシタC6以外の強誘電体キャパシタには電圧が印加されない。

**【0236】**

この後、セルグループ選択トランジスタQSがオフとされ、リセットトランジスタQR1、セルトランジスタQ0、Q1、Q3、Q4、Q5、Q7、Q8、Q9、Q11、Q12、Q13、Q15がオンとされることによりスタンバイ状態に移行する。

**【0237】**

なお、アクティブ状態の間、非選択セル以外の強誘電体キャパシタはフローティングとなっている。このため、これら強誘電体キャパシタの一端の電位が変動すると、強誘電体キャパシタとセルトランジスタ間の寄生容量の比率分だけ、僅かに強誘電体キャパシタに電圧が印加される。しかしながら、強誘電体キャパシタの容量は大きいため、セル情報の破壊等の問題は無い。

**【0238】**

また、非選択セルにおいて強誘電体キャパシタとセルトランジスタとの接続ノードは、フローティングとなる。このため、アクティブ時、ジャンクションリーグによって非選択セルの接続ノードの電位が下がり、非選択セルの強誘電体キャパシタにディステーブ電圧が印加される。しかしながら、スタンバイ状態に戻ると各強誘電体キャパシタの両端の電位差はリセットされて0Vになるため、第1実施形態と同様に、ディステーブ電圧による問題は、無視できる程度である。

**【0239】**

第45実施形態に係る半導体集積回路装置によれば、他の実施形態のように1次元にメモリセルが配置されるのではなく、メモリセルが2次元に配置、接続される。このような構成とすることにより、任意のメモリセルの読み出し、書き込みをすることを可能としつつ、第1実施形態と同じ効果を得られる。すなわち、プレート線PL上の信号の遅延の大畠な低減、プレート線駆動回路PLDの面積の縮小、駆動能力の向上を実現できる。

**【0240】**

また、第45実施形態によれば、セルグループCGごとにビット線BLに接続されるた

め、必要なビット線の数が減少し、この結果、ビット線のピッチが大幅に緩和される。ビット線のピッチの緩和（ビット線数の減少）により、センサアンプの数が、ビット線の減少した分、減少する。よって、チップサイズの縮小が可能となる。また、セルグループC G単位でビット線BLに接続されるため、ビット線BLのコンタクトの数を大幅に低減でき、第1実施形態と同じ効果を得られる。1つのビット線に接続されるメモリセルの数は、セルブロックごとに接続される第1実施形態等以上に小さくなるため、ビット線コンタクトの数の低下により得られる効果は、さらに大きい。

#### 【0241】

また、第45実施形態によれば、第1実施形態と同じく、最小 $6\text{ F}^2$ 程度の小さいメモリセル実現でき、またメモリセルのデータがディスターブ電圧によって破壊されることを回避できる。

#### 【0242】

また、第45実施形態によれば、アクティブ時に、複数のメモリセルが直列接続されたことによる遅延の問題を先願および従来のメモリより緩和できるため、第1実施形態と同じ効果を得られる。この効果について、セルグループがビット線方向にN個、ワード線方向にM個の $N \times M$ 個のメモリセルで構成された場合を取り説明する。この場合、アクティブ時に、プレート線PLとビット線BLとの間には、オンしているM-1個のリセットトランジスタ、1個のセルトランジスタ、1個のセルグループ選択トランジスタしか直列接続されない。このため、先願のメモリのメモリセルと異なり、セルグループのセル数が同じ場合では、先願のメモリに比べて、直列接続されたトランジスタ数を大幅に低減することができる。

#### 【0243】

##### (第46実施形態)

第46実施形態は、第45実施形態（図57）の半導体集積回路装置のプレート線PLの駆動方法の一例に関する。より詳しくは、第2実施形態と同様の、プレート線PLのスタンバイ時の電位を電位Vss、駆動時の電位を内部電源電位Vaaとした場合に関する。動作に関しても、第46実施形態と第2実施形態と組み合せた形態と同じである。

#### 【0244】

図60は、本発明の第46実施形態を示しており、図57の半導体集積回路装置の動作を示している。強誘電体キャパシタC6から情報が読み出される場合を取り、以下に動作の説明をする。

#### 【0245】

図60に示すように、スタンバイ時、リセット信号RST0～RST3、ワード線WL0～WL3はハイレベルとされ、セルグループ選択信号BSはローレベルとされている。プレート線PLは電位Vssとされている。このため、全メモリセルユニットCU0～CU3内において、全セルトランジスタQ0～Q15はオンとされ、また、全リセットトランジスタQR0～QR3もオンとされている。一方、セルグループ選択トランジスタQSはオフとされている。よって、全てのメモリセルの強誘電体キャパシタC0～C15の強誘電体キャパシタの両端の電位はプレート線PLと同電位となる。このため、スタンバイ時、プレート線PLの電位に関わらず、強誘電体キャパシタC0～C15には電圧が印加されず、分極情報が安定に保持される。

#### 【0246】

アクティブ時、非選択セルのワード線WL0、WL1、WL3がローレベルとされ、リセット信号RST1がローレベルとされる。選択セルのワード線WL2、およびリセット信号RST0、RST2、RST3はハイレベルを維持する。次いで、セルグループ選択信号BSがハイレベルとされることにより、セルグループ選択トランジスタQSがオンとされる。

#### 【0247】

この状態で、プレート線PLが内部電源電位Vaaに駆動されることにより、強誘電体キャパシタC6からビット線BLにセル情報が読み出される。ビット線BLに読み出され

た電位は、センスアンプSAにより増幅され、次いで、第2実施形態と同様に再書き込みが行われる。この後、リセット信号RST0、RST2、RST3がハイレベルとされ、ワード線WL0、WL1、WL3がハイレベルとされ、セルグループ選択信号BSがローレベルとされることによりスタンバイ状態に移行する。

#### 【0248】

第46実施形態に係る半導体集積回路装置によれば、第45実施形態と第2実施形態とを合せた効果を得られる。

#### 【0249】

(第47実施形態)

第47実施形態は、第45実施形態(図57)の半導体集積回路装置のプレート線PLの駆動方法の一例に関する。より詳しくは、第4実施形態と同様にプレート線PLが駆動される。

#### 【0250】

図61は、本発明の第47実施形態を示しており、図57の半導体集積回路装置の動作を示している。強誘電体キャパシタC6から情報が読み出される場合を例に取り、以下に動作の説明をする。

#### 【0251】

図61に示すように、スタンバイ時の状態は、プレート線PLが電位refに駆動されていることを除いて、第46実施形態と同様である。アクティブ時、ワード線WL0、WL1、WL3がローレベルとされ、リセット信号RST1がローレベルとされ、セルグループ選択信号BSがハイレベルとされる。この状態で、プレート線PLが内部電源電位Vaaへと駆動されることにより、強誘電体キャパシタC6から情報が読み出される。続いて、ビット線BL上の電位が増幅され、次いで、第4実施形態と同様にして再書き込み動作が行われ、次いで、第46実施形態と同様にしてスタンバイ状態に移行する。

#### 【0252】

第47実施形態に係る半導体集積回路装置によれば、第45実施形態と第4実施形態とを合せた効果を得られる。

#### 【0253】

(第48実施形態)

第48実施形態では、第45実施形態(図57)と異なり、リセット信号線とワード線とが同じ方向に延在している。

#### 【0254】

図62は、本発明の第48実施形態に係る半導体集積回路装置の回路構成を示している。ワード線WL0～WL3の延在方向と、リセット信号RST0、RST1を供給するための信号線(リセット信号線)の延在方向とは実際の半導体集積回路装置での両者の位置関係を象徴している。すなわち、ワード線WL0～WL3とリセット信号線とがチップ上で、実際に同方向に延在している。これに対し、図57では、リセット信号線は、ワード線WL0～WL3と異なる方向に延在し、ビット線BL、ローカルビット線LBL0～LBL3と同方向に延在している。

#### 【0255】

図62に示すように、第48実施形態は、第45実施形態とほぼ同じである。すなわち、セルユニットCU0、CU1が接続され、セルユニットCU0の一端はセルグループ選択トランジスタQSを介してビット線BLと接続される。リセット信号線RST0、RST1は、ワード線WL0～WL3と同じ方向に延在する。すなわち、実際の半導体集積回路装置上でも、リセット信号線RST0、RST1とワード線WL0～WL3は同じ方向に沿って設けられる。よって、リセット信号線デコーダ(図ではロウデコーダと一括して図示)は、メモリセルアレイのワード線WL0～WL3の方向の端部に配置される。動作に関しては、第45実施形態と同じである。

#### 【0256】

本発明の第48実施形態に係る半導体集積回路装置によれば、第45実施形態と同じ効

果を得られる。

**【0257】**

(第49実施形態)

第49実施形態は、第48実施形態(図62)の半導体集積回路装置のプレート線PLの駆動方法の一例に関する。より詳しくは、第2実施形態と同様に、プレート線PLのスタンバイ時の電位を電位Vss、駆動時の電位を内部電源電位Vaaとした場合に関する。

**【0258】**

図63は、本発明の第49実施形態を示しており、図62の半導体集積回路装置の動作を示している。強誘電体キャパシタC6から情報が読み出される場合を例に取り、以下に動作の説明をする。

**【0259】**

図63に示すように、スタンバイ時、リセット信号RST0、RST1、ワード線WL0～WL3はハイレベルとされ、セルグループ選択信号BSはローレベルとされている。プレート線PLは電位Vssとされている。

**【0260】**

アクティブ時、非選択セルのワード線WL0、WL1、WL3がローレベルとされ、リセット信号RST1がローレベルとされる。選択セルのワード線WL2、リセット信号RST0はハイレベルを維持する。次いで、セルグループ選択信号BSがハイレベルとされることにより、セルグループ選択トランジスタQSがオンとされる。

**【0261】**

この状態で、プレート線PLが内部電源電位Vaaに駆動されることにより、強誘電体キャパシタC6からビット線BLにセル情報が読み出される。ビット線BLに読み出された電位は、センスアンプSAにより増幅され、次いで、第2実施形態と同様に再書き込みが行われる。この後、リセット信号RST1がハイレベルとされ、ワード線WL0、WL1、WL3がハイレベルとされ、セルグループ選択信号BSがローレベルとされることによりスタンバイ状態に移行する。

**【0262】**

第49実施形態に係る半導体集積回路装置によれば、第48実施形態と第2実施形態とを合せた効果を得られる。

**【0263】**

(第50実施形態)

第50実施形態は、第48実施形態のフォールデッドビット線構成に関する。図64は、本発明の第50実施形態に係る半導体集積回路装置の回路構成を示している。図64に示すように、図62のセルユニットCU0、CU1を有するセルグループと同じ構成のセルグループCG0、CG1が設けられる。セルグループCG0、CG1は、ビット線/B<sub>L</sub>、B<sub>L</sub>に対してそれぞれ設けられる。

**【0264】**

図62のセルユニットCU0と同じ構成のセルユニットCU0がローカルビット線/L<sub>B<sub>L</sub>0</sub>とローカルビット線/L<sub>B<sub>L</sub>1</sub>との間に接続される。また、図62のセルユニットCU1と同じ構成のセルユニットCU1がローカルビット線/L<sub>B<sub>L</sub>1</sub>とプレート線/PL(ローカルビット線/L<sub>B<sub>L</sub>2</sub>)との間に接続される。ローカルビット線/L<sub>B<sub>L</sub>0</sub>とビット線/B<sub>L</sub>との間には、グループ選択トランジスタQS0が接続される。

**【0265】**

セルユニットCU0と同様に、強誘電体キャパシタC8～C11、セルトランジスタQ8～Q11、リセットトランジスタQR2から構成されるセルユニットCU2が、ローカルビット線L<sub>B<sub>L</sub>0</sub>とローカルビット線L<sub>B<sub>L</sub>1</sub>との間に接続される。セルユニットCU2において、強誘電体キャパシタC8～C11は強誘電体キャパシタC0～C3に対応し、セルトランジスタQ8～Q11はセルトランジスタQ0～Q3に対応し、リセットトランジスタQR2はリセットトランジスタQR0に対応する。

**【0266】**

セルユニットCU1と同様に、強誘電体キャパシタC12～C15、セルトランジスタQ12～Q15、リセットトランジスタQR3から構成されるセルユニットCU3が、ローカルビット線LBL1とプレート線PL（ローカルビット線LBL2）との間に接続される。セルユニットCU3において、強誘電体キャパシタC12～C15は強誘電体キャパシタC4～C7に対応し、セルトランジスタQ12～Q15はセルトランジスタQ4～Q7に対応し、リセットトランジスタQR3はリセットトランジスタQR0に対応する。ローカルビット線LBL0とビット線BLとの間には、グループ選択トランジスタQS1が接続される。

**【0267】**

セルトランジスタQ0、Q4、Q8、Q12のゲートは、ワード線WL0と接続される。セルトランジスタQ1、Q5、Q9、Q13のゲートは、ワード線WL1と接続される。セルトランジスタQ2、Q6、Q10、Q14のゲートは、ワード線WL2と接続される。セルトランジスタQ3、Q7、Q11、Q15のゲートは、ワード線WL3と接続される。リセットトランジスタQR0、QR2はリセット信号RST0により制御される。リセットトランジスタQR1、QR3はリセット信号RST1により制御される。セルグループ選択トランジスタQS0、QS1は、セルグループ選択信号／BS、BSによりそれぞれ制御される。

**【0268】**

次に、動作について説明する。各セルグループCG0、CG1内の動作は、第4.7実施形態（第4.5実施形態）と同じである。アクティブ時、第4.7実施形態と同様にして、リセットトランジスタQR1、セルトランジスタQ0、Q1、Q3、Q4、Q5、Q7がオフとされる。この後、セルグループCG0内のメモリセルの読み出しの場合、セルグループ選択トランジスタQS0のみオンとされ、セルグループ選択トランジスタQS1はオフのままでされる。次に、プレート線／PLのみ駆動され、プレート線PLは駆動されない。この結果、ビット線／BLにセル情報が読み出される。ビット線BL上の電位は、参照電位として用いられる。ビット線／BL上の電位は、ビット線BL上の電位を用いてセンスアンプSAにより増幅される。セルグループCG1内のメモリセルの読み出しの場合も同様である。

**【0269】**

第6実施形態に係る半導体集積回路装置によれば、フォールデッドビット線構成することにより、第4.5実施形態と第6実施形態を合せた効果を得られる。

**【0270】**

（第5.1実施形態）

第5.1実施形態は、第5.0実施形態（図6.4）の半導体集積回路装置のプレート線PL、／PLの駆動方法の一例に関する。より詳しくは、第2実施形態と同様に、プレート線PL、／PLのスタンバイ時の電位を電位Vss、駆動時の電位を内部電源電位Vaaとした場合に関する。動作に関しても、第5.0実施形態と第2実施形態とを組み合わせた形態と同じである。

**【0271】**

図6.5は本発明の第5.1実施形態を示しており、図6.4の半導体集積回路装置の動作を示している。強誘電体キャパシタC6から情報が読み出される場合を取り、以下に動作の説明をする。

**【0272】**

図6.5に示すように、スタンバイ時、リセット信号RST0、RST1、ワード線WL0～WL3はハイレベルとされ、セルグループ選択信号BS、／BSはローレベルとされている。プレート線PL、／PLは電位Vssとされている。

**【0273】**

アクティブ時、リセット信号RST1がローレベルとされ、非選択セルのワード線WL0、WL1、WL3がローレベルとされる。選択セルのワード線WL2はハイレベルを維

持する。次いで、セルグループ選択信号／B Sがハイレベルとされることにより、ブロック選択トランジスタQ S 0がオンとされる。セルグループ選択信号B Sはローレベルを維持する。

#### 【0274】

この状態で、プレート線／P Lが内部電源電位V a aに駆動されることにより、強誘電体キャパシタC 6からビット線／B Lにセル情報が読み出される。プレート線P Lは電位V s sを維持する。ビット線／B Lに読み出された電位は、センスアンプS Aにより増幅され、次いで、第2実施形態と同様に再書き込み動作が行われる。この後、リセット信号R S T 1、ワード線W L 0、W L 1、W L 3がハイレベルとされ、セルグループ選択信号／B Sがローレベルとされることによりスタンバイ状態に移行する。

#### 【0275】

第51実施形態に係る半導体集積回路装置によれば、第50実施形態と第2実施形態とを合せた効果を得られる。

#### 【0276】

##### (第52実施形態)

第52実施形態は第45実施形態と類似しており、異なる点はメモリセルの2つの端子が、一部で入れ替わっていることである。

#### 【0277】

図66は、本発明の第52実施形態に係る半導体集積回路装置の回路構成を示している。図66に示すように、図57と比べて、セルユニットC U 1、C U 3のメモリセルの接続が、セルユニットC U 0（またはC U 2）と同じとなっている。すなわち、セルユニットC U 1において、セルトランジスタQ 4～Q 7の、強誘電体キャパシタC 4～C 7との接続ノードと反対の端部は、ローカルビット線L B L 1と接続される。強誘電体キャパシタC 4～C 7の、セルトランジスタQ 4～Q 7との接続ノードと反対の端部は、ローカルビット線L B L 2と接続される。同様に、セルユニットC U 3において、セルトランジスタQ 12～Q 15の、強誘電体キャパシタC 12～C 15との接続ノードと反対の端部は、ローカルビット線L B L 3と接続される。強誘電体キャパシタC 12～C 15の、セルトランジスタQ 12～Q 15との接続ノードと反対の端部は、プレート線P Lと接続される。その他の構成は、第45実施形態と同じである。

#### 【0278】

第52実施形態に係る半導体集積回路装置によれば、第45実施形態と同じ効果を得られる。

#### 【0279】

なお、本実施形態では、セルユニットC U 1、C U 3が、第45実施形態（図57）のセルユニットC U 0（またはC U 2）と同じ接続とされた場合を例示している。しかしながら、これらを逆にすることも可能である。また、1つのセルユニット内の、メモリセルの2つの端子の接続を同じとすることも必須ではない。さらに、本実施形態および第45実施形態から導き出されるように、メモリセルの2つの端子を、各メモリセルにおいて、任意の接続とすることが可能である。例えば、列ごと、行ごとに同じ接続とすることもできるし、このような規則性を持たせずに、全くの任意としても、同じ効果を得られる。

#### 【0280】

##### (第53実施形態)

第53実施形態は、第50実施形態（図64）の半導体集積回路装置の構造に関する。図67、図68、図69は、本発明の第53実施形態を示している。図67、図68は、図64の半導体集積回路装置に適用可能なセルユニットC U 0、C U 1の断面構造にそれぞれ対応する。図69は、図67および図68の一部の平面構造を概略的に示している。

#### 【0281】

図67の構造は、図17の構造に類似しており、異なる部分について説明する。ビット線B Lは、コンタクトP 6、配線層M 1を介してソース／ドレイン領域S D 0と接続される。ソース／ドレイン領域S D 0は、半導体基板s u bの表面においてソース／ドレイン

領域SD1と距離を有して形成される。ソース／ドレイン領域SD0、SD1間の半導体基板sub上方には、ゲート電極BS1が設けられる。ソース／ドレイン領域SD0、SD1は、コンタクトP5、P6、配線層M1により相互に接続されている。ソース／ドレイン領域SD1、SD2と、これらの間の半導体基板sub上方のゲート電極BS0とかなるトランジスタが、セルグループ選択トランジスタQS0に対応する。

#### 【0282】

図17のプレート線PLの位置には、ローカルビット線／LBL1が設けられる。ローカルビット線／LBL1はコンタクトP4を介してソース／ドレイン拡散層SD10と接続される。ソース／ドレイン領域SD10は、半導体基板subの表面においてソース／ドレイン領域SD9と距離を有して形成される。ソース／ドレイン領域SD10、SD9と、これらの間の半導体基板sub上方のゲート電極RST0とかなるトランジスタが、リセットトランジスタQR0に対応する。ソース／ドレイン領域SD9、SD8間の半導体基板sub上方には、ゲート電極RST0が設けられる。ソース／ドレイン領域SD9、SD8は、コンタクトP2、ローカルビット線／LBL0により相互に接続されている。

#### 【0283】

図68の構造は、図67の構造に類似しており、以下の異なる部分を除いて、図67と同じである。すなわち、この断面構造においてビット線BLが存在せず、また図67のローカルビット線／LBL0の位置にプレート線／PLが設けられている。図67、図68のローカルビット線／LBL1は、相互に接続されている。

#### 【0284】

図64のセルユニットCU2に対応して、図67と同様の構造が設けられる。また、図64のセルユニットCU3に対応して、図68と同様の構造が設けられる。これらの構造のローカルビット線／LBL0(LBL0)、プレート線／PL(PL)は、図69に示すように配置されている。すなわち、それぞれ島状のローカルビット線／LBL0、プレート線PL、ローカルビット線／LBL0、プレート線／PLが順次、並んで配置される。このような構造が、実際には、複数個配置されている(図示せぬ)。そして、ワード線方向(図の上下方向)に延在する配線により、各プレート線PLが相互に接続される。プレート線／PLに関しても同じである。

#### 【0285】

本発明の第53実施形態に係る半導体集積回路装置によれば、第50実施形態の半導体集積回路装置のセルユニットCU0～CU3を実現できる。

#### 【0286】

##### (第54実施形態)

第54実施形態は、第41実施形態(図53)の半導体集積回路装置の構造に関する。図70、図71は、本発明の第54実施形態を示しており、図53の半導体集積回路装置に適用可能なセルブロックの断面構造を概略的に示している。図70、図71は、図53のセルブロックCB0、CB1に対応する構造をそれぞれ示している。図53では、1つのセルブロックにおいて4つのメモリセルが例示されているが、図70、図71では、8つの場合を例示している。図70、図71のメモリセルを構成する構造の繰り返し数を増減することにより、所望のメモリセル数を実現できる。

#### 【0287】

図70に示すように、半導体基板subの表面に、相互に距離を有してソース／ドレイン領域(アクティブ領域)SD20～SD36が形成される。ソース／ドレイン領域SD20とSD36との間、およびソース／ドレイン領域SD21とSD22との間の半導体基板subの上方には、ゲート電極(セルグループ選択)BS、／BSがそれぞれ設けられる。同様に、ソース／ドレイン領域SD22、SD23間、SD24、SD25間、SD25、SD26間、SD27、SD28間の半導体基板sub上方に、ゲート電極(ワード線)WL0、WL1、WL2、WL3がそれぞれ設けられる。また、ソース／ドレイン領域SD27、SD28間、SD30、SD31間、SD31、SD32間、SD33

、S D 3 4 間の半導体基板 s u b 上方に、ゲート電極WL 4、WL 5、WL 6、WL 7 がそれぞれ設けられる。

#### 【0288】

ソース／ドレイン領域 S D 3 4、S D 3 5 間、およびソース／ドレイン領域 S D 3 5、S D 3 6 間の半導体基板上方には、ゲート電極（リセット信号線）R S T、／R S T がそれぞれ設けられる。

#### 【0289】

ソース／ドレイン領域 S D 2 0、S D 2 1 の間のチャネル領域には、不純物が注入された不純物領域が形成され、これらソース／ドレイン領域 S D 2 0、S D 2 1 と、ゲート電極B S とにより構成されるトランジスタは、デプレーション型とされている。同様に、ソース／ドレイン領域 S D 3 4、S D 3 5 とゲート電極 R S T とにより構成されるトランジスタもデプレーション型である。

#### 【0290】

ソース／ドレイン領域 S D 2 3、S D 2 4 は、コンタクト P 2 1 により、これらソース／ドレイン領域 S D 2 3、S D 2 4 上方にそれぞれ設けられた強誘電体キャパシタ C の下部電極 B E と接続される。各強誘電体キャパシタ C の上部電極 T E は、強誘電体キャパシタ C の上方に設けられたプレート線 P L と、各上部電極に対して設けられたコンタクト P 2 2 を介して接続される。同様に、ソース／ドレイン領域 S D 2 6、2 7、S D 2 9、S D 3 0、S D 3 2、S D 3 3 は、コンタクト P 2 1 を介して、強誘電体キャパシタ C の下部電極 B E とそれぞれ接続される。ソース／ドレイン領域 S D 2 6、2 7 の上方、ソース／ドレイン領域 S D 2 9、3 0 の上方、ソース／ドレイン領域 S D 3 2、3 3 の上方、の各位置には、プレート線 P L がそれぞれ設けられる。プレート線 P L は、コンタクト P 2 2 を介して、対応する強誘電体キャパシタ C の上部電極 T E とコンタクト P 2 2 を介して接続される。

#### 【0291】

プレート線 P L の上方には、ローカルビット線／L B L が設けられる。ソース／ドレイン領域 S D 2 2、S D 2 5、S D 2 8、S D 3 1、S D 3 4 は、それぞれコンタクト P 2 3 と接続される。各コンタクト P 2 3 は、配線層 M 2 1、コンタクト P 2 4 を介して、ローカルビット線／L B L と接続される。配線層 M 2 1 は、プレート線 P L と同じ層として設けられる。プレート線 P L は、ソース／ドレイン領域 S D 3 5、S D 3 6 の上方に亘る位置にも設けられ、コンタクト P 2 5 を介してソース／ドレイン領域 S D 3 6 と接続される。

#### 【0292】

ローカルビット線／L B L の上方には、ビット線／B L が設けられる。ソース／ドレイン領域 S D 2 0 は、コンタクト P 2 6、配線層 M 2 1、コンタクト P 2 7、配線層 M 2 2、コンタクト P 2 8 を介してビット線／B L と接続される。配線層 M 2 2 は、ローカルビット線／L B L と同じ層として設けられる。

#### 【0293】

図 7 1 は、以下の点を除いて、図 7 0 とほぼ同じである。まず、ソース／ドレイン領域 S D 2 0、S D 2 1 と、ゲート電極 B S とにより構成されるトランジスタ、およびソース／ドレイン領域 S D 3 4、S D 3 5 と、ゲート電極 R S T から構成されるトランジスタがエンハンスマント型とされている。一方、ソース／ドレイン領域 S D 2 1、S D 2 2、ゲート電極／B S とにより構成されるトランジスタ、およびソース／ドレイン領域 S D 3 5、S D 3 6、ゲート電極／R S T とにより構成されるトランジスタがデプレーション型とされている。また、ローカルビット線／L B L の代わりにローカルビット線 L B L が位置し、ビット線／B L の代わりにビット線 B L が位置する。

#### 【0294】

本発明の第 5 4 実施形態に係る半導体集積回路装置によれば、第 4 1 実施形態の半導体集積回路装置のセルグループを実現できる。

#### 【0295】

また、第54実施形態によれば、半導体基板subと、下部電極BEの層との間に、配線層が設けられない。すなわち、製造工程において、強誘電体キャパシタの形成前に銅(Cu)、アルミニウム(A1)等のメタル配線が形成されない。製造工程において、強誘電体キャパシタの形成前に例えばCu、A1等のメタル配線層を形成すると、これらのメタル配線層が強誘電体キャパシタ形成時の熱工程に絶えられない。このため、強誘電体キャパシタの形成前に配線層を形成する場合、例えばタンゲステン(W)等を用いる必要がある。しかしながら、FeRAMとロジック回路等の混載メモリ等の場合、このタンゲステン配線はFeRAM形成のために設けられるため、全体でみると余分な配線であり、製造コストの増大につながる。これに対し、第54実施形態によれば、このような余分な配線層を設ける必要がないので、製造コストの増大を抑制できる。

#### 【0296】

また、第54実施形態によれば、第17実施形態(図18)、第19実施形態(図21)と異なり、アクティブ領域AA1～AA3を曲げる必要がない。このため、セルサイズをさらに小さくでき、真に $6\text{ F}^2$ のサイズを実現できる。

#### 【0297】

##### (第55実施形態)

第55実施形態は、第54実施形態(図70、図71)に付加して用いられ、シャント用配線、メインブロック選択トランジスタ配線等が付加される。

#### 【0298】

図72、図73は、本発明の第55実施形態に係る半導体集積回路装置の断面構造を概略的に示している。図72は第54実施形態の図70と同様の位置に対応し、図73は第54実施形態の図71と同様の位置に対応する。図72、図73に示すように、ローカルビット線LBL(/LBL)と同じ層にメインブロック選択トランジスタ用配線MBS、電源強化用の電源線Vsが設けられている。この電源線Vsにより、メモリセルアレイ内に複数の電源線を配置することができ、また、電源抵抗の総計を大幅に低減することができる。これらメインブロック選択トランジスタ用配線MBS、電源線Vsは、平面においてローカルビット線/LBL(LBL)が配置されない空き地を利用して設けられる。

#### 【0299】

ビット線/LBL(BL)の上方には、シャント用配線/RST、RST、WL0～WL7、/B/S、B/Sが設けられる。シャント用配線/RST、RST、WL0～WL7、/B/S、B/Sは、これらの延在方向において対応する(同じ参照符号の)ゲート電極と定期的に接続される(図示せぬ)。

#### 【0300】

シャント用配線、階層ワード線方式、電源線、のいずれかを任意に採用することももちろん可能である。

#### 【0301】

本発明の第55実施形態に係る半導体集積回路装置によれば、第54実施形態と同じ効果を得られる。さらに、ローカルビット線/LBL(LBL)のレベルの空き地を利用して、メインブロック選択トランジスタ配線MBS、電源線Vsが配置される。このため、これらメインブロック選択トランジスタ配線MBS、電源線Vsを、更なる金属配線レベルの増加無しに設けることができる。

#### 【0302】

##### (第56実施形態)

第56実施形態は、第55実施形態(図72、図73)の変形例に関わる。

#### 【0303】

図74、図75は、本発明の第56実施形態に係る半導体集積回路装置の断面構造を概略的に示している。図74は、第55実施形態の図72と同様の位置に対応し、図75は第56実施形態の図73と同様の位置に対応する。図74、図75に示すように、メインブロック選択トランジスタ配線MBS、電源線Vsは、シャント用配線/RST、RST、WL0～WL7、/B/S、B/Sと同じ層に設けられる。

**【0304】**

シャント用配線、階層ワード線方式、電源線、のいずれかを任意に採用することももちろん可能である。

**【0305】**

本発明の第56実施形態に係る半導体集積回路装置によれば、第55実施形態と同じ効果を得られる。また、第56実施形態によれば、1つのセルブロックまたはセルグループが大きくなり、この中で複数の信号線（例えばメインブロック選択トランジスタ配線MB S、電源線V s等）を高い自由度によって配置できる。これに対して、従来の構造では、1セルが基本単位であり、また1つのセルサイズは小さいため、せいぜい1本の信号線を設けることが限度である。すなわち、信号線の配置の制約が大きい。

**【0306】**

## (第57実施形態)

第57実施形態は、第41実施形態（図53）の構成に加え、プレート線PLが、セルブロックCB0、CB1、およびビット線BL、／BLと接続された更なるセルブロックにより共用される。

**【0307】**

図76は、本発明の第57実施形態に係る半導体集積回路装置の回路構成を示している。図76に示すように、図の右半分に図53と同じ構成が設けられる。ただし、図53の各部の参照符号の末尾に“A”が付加されたものが用いられる。

**【0308】**

また、図53のセルブロックCB0、CB1と同様のセルブロックCB2、CB3がビット線／BL、BLのそれぞれに対してさらに設けられる。プレート線PLとローカルビット線／LBLBとの間には、リセットトランジスタQR0B、強誘電体キャパシタC8～C11とセルトランジスタQ8～Q11とからなるメモリセルが接続される。ローカルビット線／LBLBは、ブロック選択トランジスタQS0Bを介してビット線／BLと接続される。

**【0309】**

プレート線PLとローカルビット線LBLBとの間には、リセットトランジスタQR1B、強誘電体キャパシタC12～C15とセルトランジスタQ12～Q15とからなるメモリセルが接続される。ローカルビット線LBLBは、ブロック選択トランジスタQS1Bを介してビット線BLと接続される。

**【0310】**

セルトランジスタQ8、Q12のゲートは、ワード線WL0Bと接続される。セルトランジスタQ9、Q13のゲートは、ワード線WL1Bと接続される。セルトランジスタQ10、Q14のゲートは、ワード線WL2Bと接続される。セルトランジスタQ11、Q15のゲートは、ワード線WL3Bと接続される。リセットトランジスタQR0B、QR1Bは、リセット信号／RSTB、RSTBにより、それぞれ制御される。ブロック選択トランジスタQS0B、QS1Bは、ブロック選択信号／BSB、BSBにより、それぞれ制御される。

**【0311】**

動作に関しては、第41実施形態と同様である。すなわち、セルブロックCB0、CB1内のメモリセルへのアクセスの場合、セルブロックCB2、CB3はスタンバイ状態を維持し、セルブロックCB0、CB1に関しては第41実施形態と同じ制御が行われる。セルブロックCB0、CB1内のメモリセルへのアクセスの間、セルブロックCB2、CB3内の強誘電体キャパシタC8～C15の両端はショートされているため、情報は破壊されない。セルブロックCB2、CB3内のメモリセルへのアクセスの場合の動作も同様である。

**【0312】**

本発明の第57実施形態に係る半導体集積回路装置によれば、第41実施形態と同じ効果を得られる。さらに、プレート線PLが、第41実施形態以上のセルブロックにより共

用されている。このため、プレート線PLが占める面積の低減、抵抗値の低減が可能となる。また、プレート線駆動回路PL、／PLの占有面積の削減を実現できる。

### 【0313】

#### (第58実施形態)

第58実施形態は、第57実施形態(図76)の半導体集積回路装置のプレート線PLの駆動方法の一例に関する。より詳しくは、第2実施形態と同様に、プレート線PLのスタンバイ時の電位を電位Vss、駆動時の電位を内部電源Vaaとした場合に関する。

### 【0314】

図77は本発明の第58実施形態を示しており、図76の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例に取り、以下に動作の説明をする。

### 【0315】

図77に示すように、スタンバイ時、リセット信号／RSTA、RSTA、／RSTB、RSTB、ワード線WL0A～WL3A、WL0B～WL3Bはハイレベルとされ、ブロック選択信号／BSA、BSA、／BSB、BSBはローレベルとされている。プレート線PLは、電位Vssとされている。

### 【0316】

アクティブ状態を経てスタンバイ状態に戻るまでのリセット信号／RSTA、RSTA、ワード線WL0A～WL3A、ブロック選択信号／BSA、BSAの動作は、第42実施形態(図54)と同じである。この間、リセット信号／RSTB、RSTB、ワード線WL0B～WL3Bはハイレベルを維持し、ブロック選択信号／BSB、BSBはローレベルを維持する。

### 【0317】

本発明の第58実施形態に係る半導体集積回路装置によれば、第57実施形態と第2実施形態とを合わせた効果を得られる。

### 【0318】

#### (第59実施形態)

第59実施形態は、1ビットが2つのトランジスタおよび2つの強誘電体キャパシタにより記憶される。すなわち、メモリセルがいわゆる2T2C型である場合に関する。2T2C型では、2つのメモリセルに“0”データ、“1”データがそれぞれ書き込まれた状態と、“1”データ、“0”データがそれぞれ書き込まれた状態と、により情報を記憶する。2T2C型とした場合でも、回路の構成は上述の各実施形態と変わらず、読み出し、書き込み時の制御が異なるのみである。例として、第41実施形態(図53)の半導体集積回路装置において2T2C型メモリセルとし、強誘電体キャパシタC1、C5から情報が読み出される場合を例に取り、以下に説明する。なお、強誘電体キャパシタC1、C5には、相補なデータが既に書き込まれているものとする。

### 【0319】

図78は、本発明の第59実施形態に係る半導体集積回路装置を示しており、図53の半導体集積回路装置を2T2C型メモリセル方式とした場合の動作を示している。図78に示すように、スタンバイ時の状態は、第42実施形態(図54)と同じである。

### 【0320】

アクティブ時、リセット信号／RST、RSTが共にローレベルとされ、非選択のワード線WL0、WL2、WL3がローレベルとされる。次いで、ブロック選択信号／BS、BSがハイレベルとされる。この状態で、プレート線PLが内部電源電位Vaaに駆動されることにより、ビット線／BL、BLに、強誘電体キャパシタC1、C5からの情報がそれぞれ読み出される。ビット線／BL、BL上の電位は、センスアンプSAにより増幅され、増幅された2つのデータからメモリセルが保有している情報が判定される。この後、再書き込みが行われ、スタンバイ状態へと移行する。

### 【0321】

なお、第41実施形態の半導体集積回路装置の場合を取り、2T2C方式について

説明したが、ビット線対を有する第6（図7）、第11（図12）、第26（図29）、第33（図36）、第35（図38）、第50（図64）実施形態にも同様の手法により適用できる。この場合、本実施形態における説明と同様の制御に加え、プレート線／PL、PLが共に駆動されることにより、1つのメモリセルを構成する2つの強誘電体キャパシタからビット線／BL、BLにデータが読み出される。

### 【0322】

本発明の第59実施形態に係る半導体集積回路装置によれば、第41実施形態と同じ効果を得られる。さらに、2T2C型メモリセル方式とすることにより、1T1C型の場合より、読み出しマージンを大きく取ることができる。

### 【0323】

#### （第60実施形態）

第60実施形態では、第2実施形態中で図3を参照して説明した動作と同様に、スタンバイ時のリセット信号／RST、RST、ワード線WL0～WL3の電位が電位V<sub>pp</sub>以下とされている。スタンバイ時に、リセットトランジスタQR0、QR1、リセットトランジスタQ0～Q7にハイレベルの電位が印加され続けるため、これらトランジスタの信頼性が劣化する。そこで、スタンバイ時に各トランジスタに印加される電位を、電位V<sub>pp</sub>より低くしておき、アクティブ時に必要なトランジスタへの印加される電位を電位V<sub>pp</sub>とする。

### 【0324】

図79は、本発明の第60実施形態に係る半導体集積回路装置を示しており、第42実施形態（図53）の半導体集積回路装置の制御方法の他の例に関する。図79に示すように、スタンバイ時、リセット信号／RST、RST、ワード線WL0～WL3の電位が、電位V<sub>pp</sub>以下（例えばV<sub>aa</sub>）とされている。アクティブ時、選択トランジスタのワード線WL1、およびリセット信号RSTが電位V<sub>pp</sub>とされる。その他の具体的な動作は、第43実施形態（図54）と同じである。

### 【0325】

本発明の第60実施形態に係る半導体集積回路装置によれば、第42、第43実施形態と同じ効果を得られる。さらに、第60実施形態によれば、スタンバイ時にオンとされているトランジスタには、電位V<sub>pp</sub>より低い電位が印加される。このため、これらトランジスタに高電圧が印加され続けることにより信頼性が劣化することを防止できる。

### 【0326】

#### （第61実施形態）

第61実施形態は、第54実施形態（図70、図71）に適用可能なレイアウトに関する。図80～図83は、本発明の第61実施形態を示しており、図70、図71の半導体集積回路装置に適用可能なレイアウトを示している。図80～図83は、図70、図71の断面構造の高さ方向における各面を半導体基板sub表面から上に向かって順に示している。また、図80～図83のLXX-LXX線に沿った断面図が図70に相当し、LXXI-LXXI線に沿った断面図が図71に相当する。

### 【0327】

図80に示すように、複数のアクティブ領域AAが、相互に分離してマトリックス状に設けられる。ゲート電極／RST、RST、WL0～WL7、／BS、BSは、アクティブ領域上で図の上下方向に延在する。図の最も右の列のアクティブ領域上には、ゲート電極BS、／BS、WL0が相互に間隔を有して延在する。デブリーション型トランジスタが形成される位置のチャネル領域近傍には、トランジスタの閾値を負とするための不純物注入領域（Imp）が形成される。アクティブ領域AA内において、ゲート電極BSの両隣には、ソース／ドレイン領域SD20、SD21が位置する。同様に、ゲート電極／BSの両隣には、ソース／ドレイン領域SD21、SD22が位置し、ゲート電極WL0の両隣には、ソース／ドレイン領域SD22、SD23が位置する。

### 【0328】

同様に、同じ列に属する各アクティブ領域において、ゲート電極WL1の両隣にはソ一

ス／ドレイン領域SD24、SD25が位置し、ゲート電極WL2の両隣にはソース／ドレイン領域SD25、SD26が位置する。同様に、ゲート電極WL3の両隣にはソース／ドレイン領域SD27、SD28が位置し、ゲート電極WL4の両隣にはソース／ドレイン領域SD28、SD29が位置する。ゲート電極WL5の両隣にはソース／ドレイン領域SD30、SD31が位置し、ゲート電極WL6の両隣にはソース／ドレイン領域SD31、SD32が位置する。ゲート電極WL7の両隣にはソース／ドレイン領域SD33、SD34が位置し、ゲート電極RSTの両隣には、ソース／ドレイン領域SD34、SD35が位置する。ゲート電極RSTの両隣には、ソース／ドレイン領域SD35、SD36が位置する。

#### 【0329】

ソース／ドレイン領域SD20上にはコンタクトP26が形成される。ソース／ドレイン領域SD22、SD25、SD28、SD31、SD34上にはコンタクトP23が形成される。ソース／ドレイン領域SD23、SD24、SD26、SD27、SD29、SD30、SD32、SD33上にはコンタクトP21が形成される。ソース／ドレイン領域SD36上にはコンタクトP25が形成される。

#### 【0330】

図81に示すように、コンタクトP26上、P23上には、例えば方形状の配線層M21が設けられる。各コンタクトP21上には、例えば方形状の強誘電体キャパシタCが設けられる。コンタクトP21相互間の、2列の強誘電体キャパシタCの上方を覆うように、例えば方形状のプレート線PLが設けられる。各コンタクトP21相互間の各プレート線PLは、図81においては相互に分断されているが、ゲート電極の延在方向に沿った位置（図示せぬ）で相互に接続されている。また、同じ列に属するコンタクトP25の上方を覆うように設けられたプレート線PLも他のプレート線PLと接続されている。

#### 【0331】

図82に示すように、各プレート線PLを図の左右方向に横断するように、ローカルビット線LBL、／LBLが形成される。ローカルビット線LBL、／LBLは、上下方向に相互に間隔を有して設けられる。プレート線PLの相互間に設けられたコンタクトP23は、ローカルビット線LBL、／LBLと配線層M21とを接続する。

#### 【0332】

図83に示すように、図の左右方向にビット線BL、／BLが、相互に間隔を有して延在する。ビット線BL、／BLは、コンタクトP28を介して配線層M22と接続される。

#### 【0333】

なお、本実施形態を第55、第56実施形態に適用することももちろん可能である。第55実施形態の場合、メインブロック選択トランジスタ配線MBSおよび電源線Vsは、図82のローカルビット線LBL、／LBLの各一端と間隔を有して、図の上下方向にメインブロック選択トランジスタ配線MBSが延在する。同様に、電源線Vsが、各他端と間隔を有して、図の上下方向に延在する。また、図83に示す層のさらに上の層に図71、図72のシャント用配線／RST、RST、WL0～WL7、／BS、BSが設けられる。第56実施形態の場合、シャント用配線／RST、RST、WL0～WL7、／BS、BSと同じ層に、これらと同方向に沿ってメインブロック選択トランジスタ配線MBSおよび電源線Vsが設けられる。

#### 【0334】

本発明の第61実施形態に係る半導体集積回路装置によれば、図70～75の半導体集積回路装置を実現でき、第54～56実施形態と同じ効果を得られる。

#### 【0335】

（第62実施形態）

第62実施形態は、階層ワード線方式の回路構成に関する。図84は、本発明の第62実施形態に係る半導体集積回路装置の回路構成を示しており、階層ワード線方式とシャント方式とを組み合わせをした場合の回路構成を示している。

**【0336】**

図84に示すように、例えば第6実施形態(図7)と同じ構成のセルブロックCB0、CB1、ビット線対BL、／BL、センスアンプSA、これらを制御するためのサブロウデコーダ、サブプレート線ドライバSRDからなるサブグループが、複数個(図では2個を例示)設けられている。そして、これらサブグループに対して、メインロウデコーダMRDと接続されたメインブロック選択トランジスタ配線MBSが設けられる。

**【0337】**

なお、図84では、第6実施形態と同じ構成によりサブグループを構成した例を示しているが、本発明の他の実施形態の回路構成を用いて構成することももちろん可能である。

**【0338】**

本発明の第62実施形態に係る半導体集積回路装置によれば、上記各実施形態により得られる効果に加え、信号線の抵抗値の減少等の階層ワード線方式およびシャント方式により得られる効果を得られる。

**【0339】**

なお、実施形態中で図を用いて説明していないが、全実施形態で用いられる個々の発明を組み合わせることにより、多数の構成を実現できる。従来提案されている多値方式を各実施形態に適用することもできる。

**【0340】**

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

**【図面の簡単な説明】****【0341】**

【図1】本発明の第1実施形態に係る半導体集積回路装置の回路構成を示す図。

【図2】本発明の第2実施形態を示しており、図1の半導体集積回路装置の動作を示す図。

【図3】本発明の第2実施形態の変形例を示しており、図1の半導体集積回路装置の動作を示す図。

【図4】本発明の第3実施形態を示しており、図1の半導体集積回路装置の動作を示す図。

【図5】本発明の第4実施形態を示しており、図1の半導体集積回路装置の動作を示す図。

【図6】本発明の第5実施形態を示しており、図1の半導体集積回路装置の動作を示す図。

【図7】本発明の第6実施形態に係る半導体集積回路装置の回路構成を示す図。

【図8】本発明の第7実施形態を示しており、図7の半導体集積回路装置の動作を示す図。

【図9】本発明の第8実施形態を示しており、図7の半導体集積回路装置の動作を示す図。

【図10】本発明の第9実施形態を示しており、図7の半導体集積回路装置の動作を示す図。

【図11】本発明の第10実施形態を示しており、図7の半導体集積回路装置の動作を示す図。

【図12】本発明の第11実施形態に係る半導体集積回路装置の回路構成を示す図。

【図13】本発明の第12実施形態を示しており、図12の半導体集積回路装置の動作を示す図。

【図14】本発明の第13実施形態を示しており、図12の半導体集積回路装置の動作を示す図。

【図15】本発明の第14実施形態を示しており、図12の半導体集積回路装置の動作を示す図。

【図16】本発明の第15実施形態を示しており、図12の半導体集積回路装置の動作を示す図。

【図17】本発明の第16実施形態を示しており、図1の半導体集積回路装置に適用可能なセルブロックの断面構造を概略的に示す図。

【図18】本発明の第17実施形態を示しており、図17の半導体集積回路装置に適用可能なレイアウトを示す図。

【図19】本発明の第17実施形態を示しており、図17の半導体集積回路装置に適用可能なレイアウトを示す図。

【図20】本発明の第18実施形態を示しており、図7、図12の半導体集積回路装置に適用可能なセルブロックの断面構造を概略的に示す図。

【図21】本発明の第19実施形態を示しており、図20の半導体集積回路装置に適用可能なレイアウトを示す図。

【図22】本発明の第19実施形態を示しており、図20の半導体集積回路装置に適用可能なレイアウトを示す図。

【図23】本発明の第20実施形態を示しており、図7、図12の半導体集積回路装置に適用可能なセルブロックの断面構造を概略的に示す図。

【図24】本発明の第21実施形態を示しており、図23の半導体集積回路装置に適用可能なプレート線の平面形状を示す図。

【図25】本発明の第22実施形態を示しており、図7、図12の半導体集積回路装置に適用可能なセルブロックの断面構造を概略的に示す図。

【図26】本発明の第23実施形態を示しており、図25の半導体集積回路装置に適用可能なレイアウトを示す図。

【図27】本発明の第24実施形態に係る半導体集積回路装置の回路構成を示す図。

【図28】本発明の第25実施形態を示しており、図27の半導体集積回路装置の動作を示す図。

【図29】本発明の第26実施形態に係る半導体集積回路装置の回路構成を示す図。

【図30】本発明の第27実施形態を示しており、図29の半導体集積回路装置の動作を示す図。

【図31】本発明の第28実施形態を示しており、図29の半導体集積回路装置の動作を示す図。

【図32】本発明の第29実施形態を示しており、図29の半導体集積回路装置の動作を示している。

【図33】本発明の第30実施形態を示しており、図29の半導体集積回路装置の動作を示す図。

【図34】本発明の第31実施形態に係る半導体集積回路装置の回路構成を示す図。

【図35】本発明の第32実施形態を示しており、図34の半導体集積回路装置の動作を示す図。

【図36】本発明の第33実施形態に係る半導体集積回路装置の回路構成を示している。

【図37】本発明の第34実施形態を示しており、図36の半導体集積回路装置の動作を示す図。

【図38】本発明の第35実施形態に係る半導体集積回路装置の回路構成を示す図。

【図39】本発明の第36実施形態を示しており、図38の半導体集積回路装置の動作を示す図。

【図40】本発明の第37実施形態に係るデジタル加入者線用モデムのデータバス部分を示すブロック図。

【図41】本発明の第38実施形態に係る携帯電話端末を示すブロック図。

【図42】本発明の第39実施形態に係るメモリカードを示す図。

【図43】本発明の第40実施形態に係るシステムLSIを示す図。

【図44】従来の半導体集積回路装置の回路構成を示す図。

【図45】図44の半導体集積回路装置の平面構造を示す図。

【図46】図44の半導体集積回路装置の断面構造を示す図。

【図47】図44の半導体集積回路装置の動作を示す図。

【図48】従来の半導体集積回路装置の問題点を説明するための図。

【図49】従来の半導体集積回路装置の問題点を説明するための図。

【図50】先願の半導体集積回路装置の回路構成を示す図。

【図51】先願の半導体集積回路装置の断面構造を示す図。

【図52】先願の半導体集積回路装置の平面構造を示す図。

【図53】本発明の第41実施形態に係る半導体集積回路装置の回路構成を示す図。

【図54】本発明の第42実施形態を示しており、図53の半導体集積回路装置の動作を示す図。

【図55】本発明の第43実施形態に係る半導体集積回路装置の回路構成を示す図。

【図56】本発明の第44実施形態を示しており、図55の半導体集積回路装置の動作を示す図。

【図57】本発明の第45実施形態に係る半導体集積回路装置の回路構成を示す図。

【図58】図57の半導体集積回路装置の動作を示す図。

【図59】図57の半導体集積回路装置の動作を示す図。

【図60】本発明の第46実施形態を示しており、図57の半導体集積回路装置の動作を示す図。

【図61】本発明の第47実施形態を示しており、図57の半導体集積回路装置の動作を示す図。

【図62】本発明の第48実施形態に係る半導体集積回路装置の回路構成を示す図。

【図63】本発明の第49実施形態を示しており、図62の半導体集積回路装置の動作を示す図。

【図64】本発明の第50実施形態に係る半導体集積回路装置の回路構成を示す図。

【図65】本発明の第51実施形態を示しており、図64の半導体集積回路装置の動作を示す図。

【図66】本発明の第52実施形態に係る半導体集積回路装置の回路構成を示す図。

【図67】本発明の第53実施形態を示しており、図64の半導体集積回路装置に適用可能なセルユニットの断面構造を概略的に示す図。

【図68】本発明の第53実施形態を示しており、図64の半導体集積回路装置に適用可能なセルユニットの断面構造を概略的に示す図。

【図69】本発明の第53実施形態を示しており、図64の半導体集積回路装置に適用可能なレイアウトを示す図。

【図70】本発明の第54実施形態を示しており、図53の半導体集積回路装置に適用可能なセルブロックの断面構造を概略的に示す図。

【図71】本発明の第54実施形態を示しており、図53の半導体集積回路装置に適用可能なセルブロックの断面構造を概略的に示す図。

【図72】本発明の第55実施形態に係る半導体集積回路装置の断面構造を概略的に示す図。

【図73】本発明の第55実施形態に係る半導体集積回路装置の断面構造を概略的に示す図。

【図74】本発明の第56実施形態に係る半導体集積回路装置の断面構造を概略的に示す図。

【図75】本発明の第56実施形態に係る半導体集積回路装置の断面構造を概略的に示す図。

【図76】本発明の第57実施形態に係る半導体集積回路装置の回路構成を示す図。

【図77】本発明の第58実施形態を示しており、図76の半導体集積回路装置の動作を示す図。

【図78】本発明の第59実施形態に係る半導体集積回路装置を示しており、図53

の半導体集積回路装置を2T2C型メモリセル方式とした場合の動作を示す図。

【図79】本発明の第60実施形態に係る半導体集積回路装置を示しており、第42実施形態の半導体集積回路装置の制御方法の他の例を示す図。

【図80】本発明の第61実施形態を示しており、図70、図71の半導体集積回路装置に適用可能なレイアウトの一部を示す図。

【図81】本発明の第61実施形態を示しており、図70、図71の半導体集積回路装置に適用可能なレイアウトの一部を示す図。

【図82】本発明の第61実施形態を示しており、図70、図71の半導体集積回路装置に適用可能なレイアウトの一部を示す図。

【図83】本発明の第61実施形態を示しており、図70、図71の半導体集積回路装置に適用可能なレイアウトの一部を示す図。

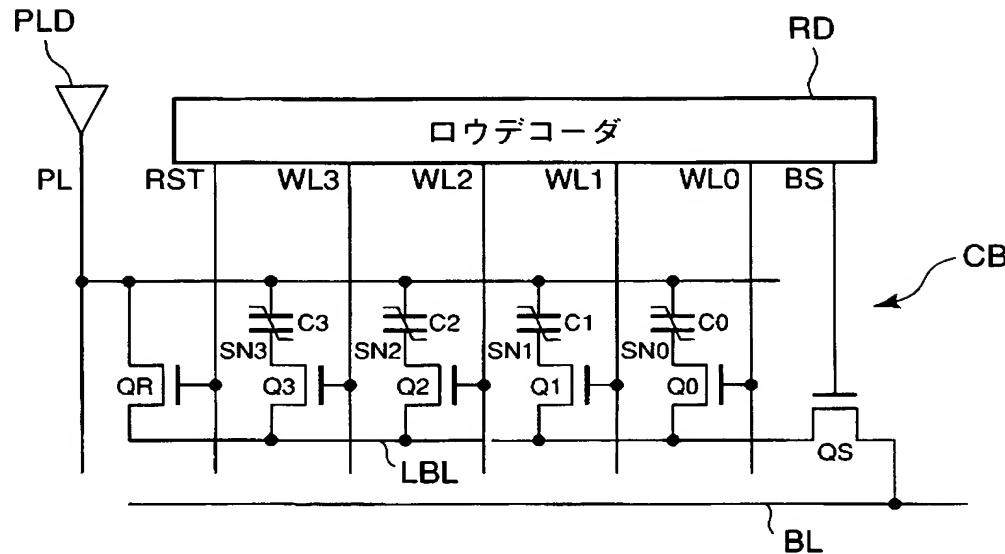
【図84】本発明の第62実施形態に係る半導体集積回路装置の回路構成を示す図。

#### 【符号の説明】

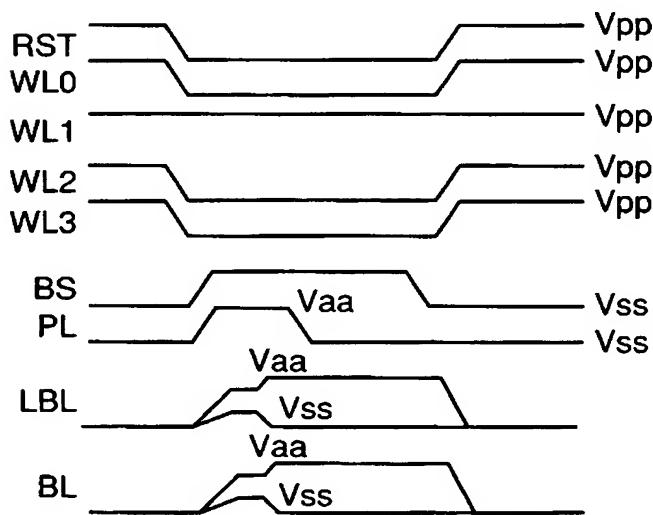
##### 【0342】

Q0～Q15…セルトランジスタ、C、C0～C15…強誘電体キャパシタ、WL0～W  
L7…ワード線、BL、/BL…ビット線、PL、/PL…プレート線、LBL、/LB  
L、LBL0、/LBL、LBL1、/LBL1、LBL2、/LBL2…ローカルビット  
線、QR、QR0～QR3…リセットトランジスタ、RST、RST0～RST3…リ  
セット信号（線）、BL、/BL…ビット線、QS、QS0～QS3…ブロック選択トラン  
ジスタ（セルグループ選択トランジスタ）、BS、/BS、BS0、/BS0、BS1  
、/BS1…ブロック選択信号、CB、CB0～CB3…セルブロック、SN0～SN3  
…セルノード、CNT…コントローラ、PLD…プレート線ドライバ、SA…センスアン  
プ、sub…半導体基板、SD～SD10、SD20～SD36…ソース／ドレイン領域  
、P1～P7、P21～P28…コンタクト、BE…下部電極、F…強誘電体膜、TE…  
上部電極、AA0～AA3…アクティブ領域、M0～M2、M21、M22…配線層、QA  
0、QA1…増幅トランジスタ、100…プログラマブルデジタルシグナルプロセッサ  
、110…アナログ-デジタルコンバータ、120…デジタル-アナログコンバータ、1  
30…送信ドライバ、140…受信機増幅器、170、223…半導体集積回路装置、2  
00…通信部、201…送受信アンテナ、202…アンテナ共用器、203…受信部、2  
04…ベースバンド処理部、205…DSP、206…スピーカ、207…マイクロホン  
、208…送信部、209…周波数シンセサイザ、211…音声データ再生処理部、21  
2…外部出力端子、213…LCDコントローラ、214…LCD、215…リンガ、2  
20…制御部、221…CPU、222…ROM、224…フラッシュメモリ、231、  
233、235…インターフェース回路、232…外部メモリスロット、234…キー操作  
部、236…外部出力端子、240…外部メモリ、300…携帯電話端末、400…メ  
モリカード、401…FeRAMチップ、501…マクロ、502…半導体チップ、CG  
、CG0、CG1…セルグループ、CU0～CU3…セルユニット、RSD…リセット信  
号線デコーダ、Imp…不純物注入領域、MBS…メインブロック選択トランジスタ配線  
、Vss…電源線、MRD…メインロウデコーダ、SRD…サブロウデコーダ。

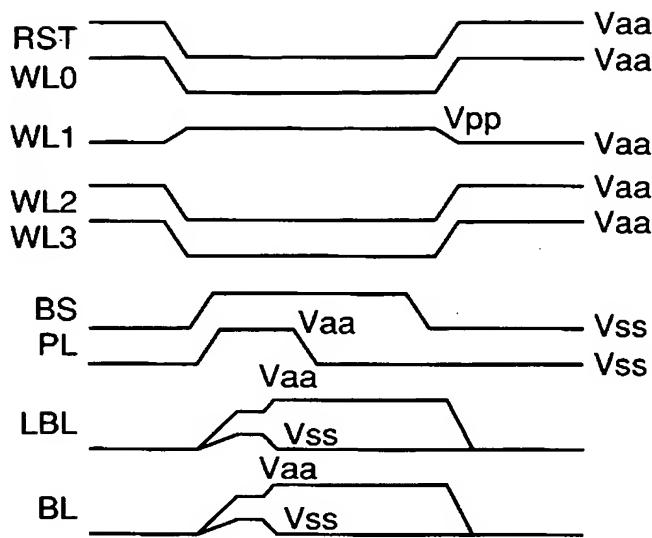
【書類名】図面  
【図1】



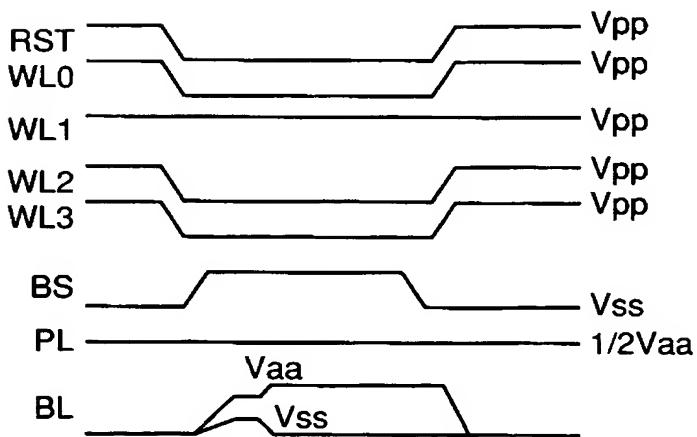
【図2】



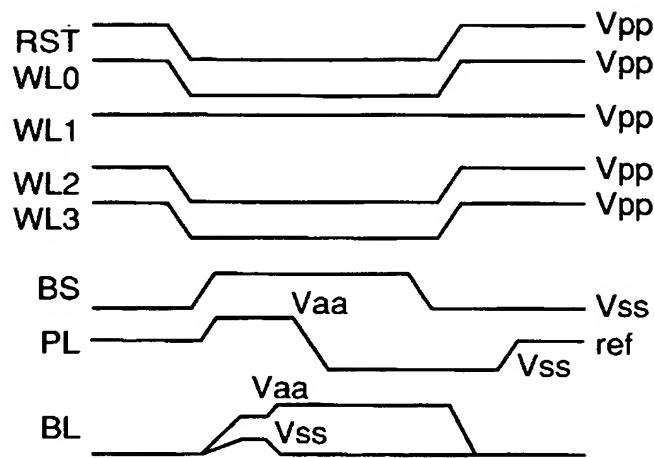
【図 3】



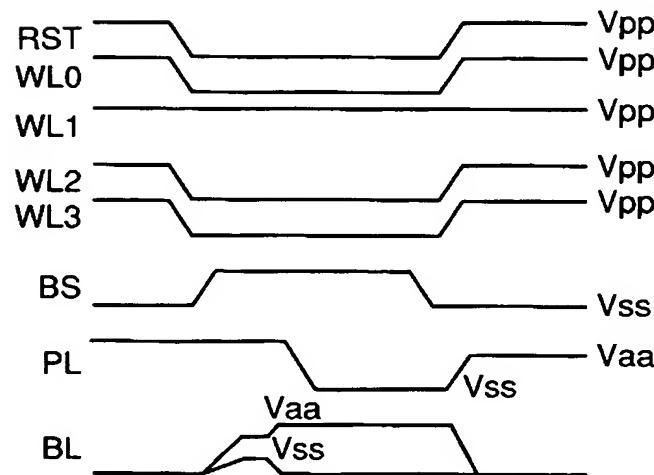
【図 4】



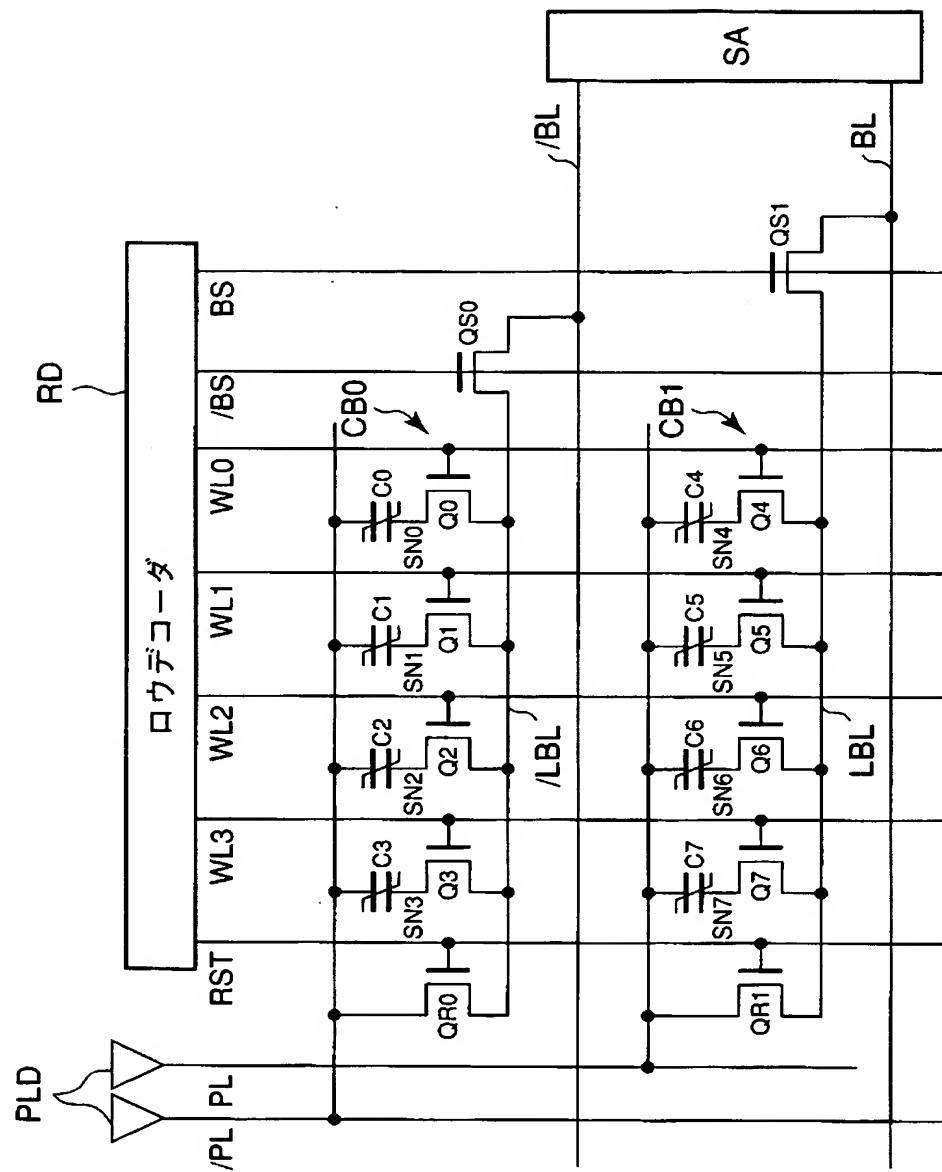
【図 5】



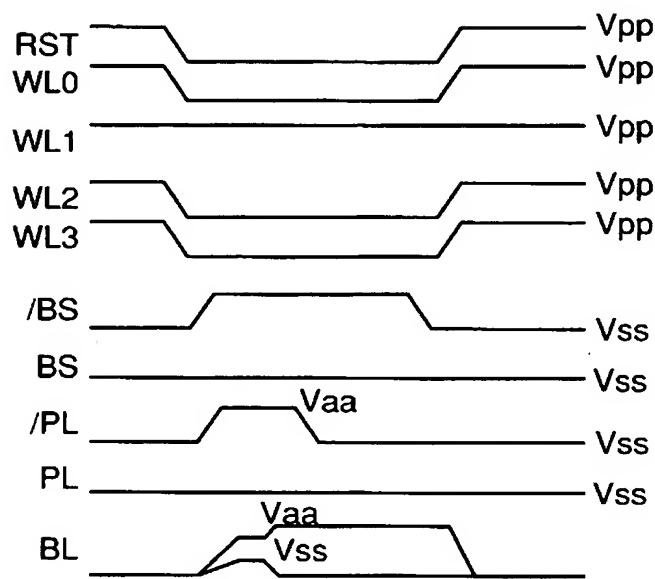
【図 6】



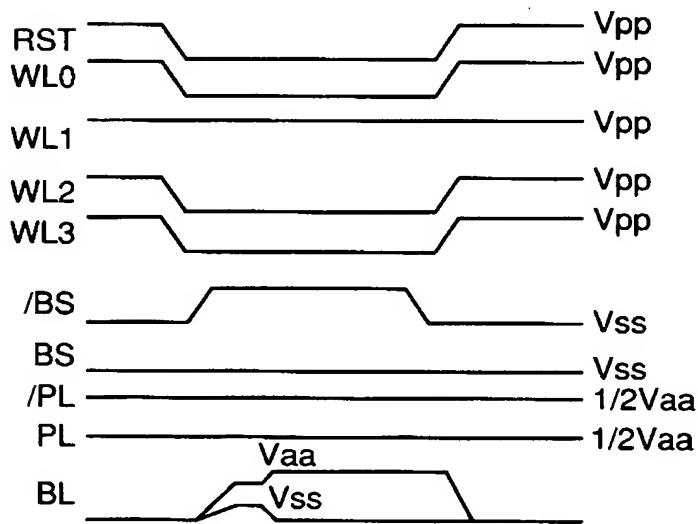
【図7】



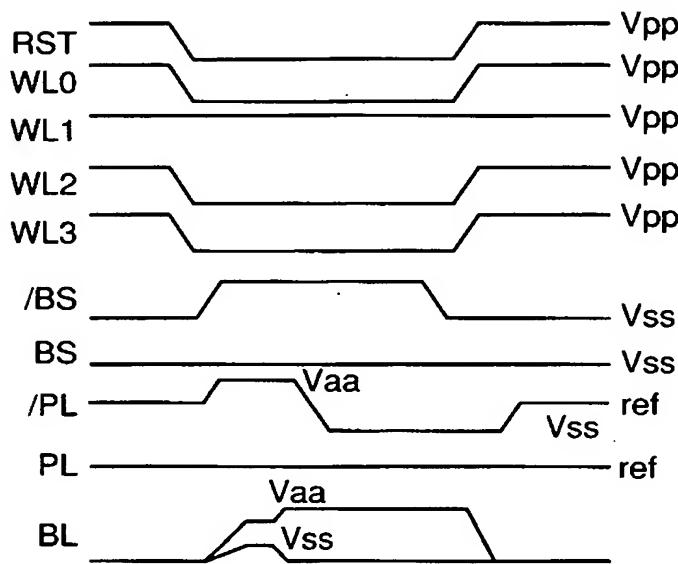
【図8】



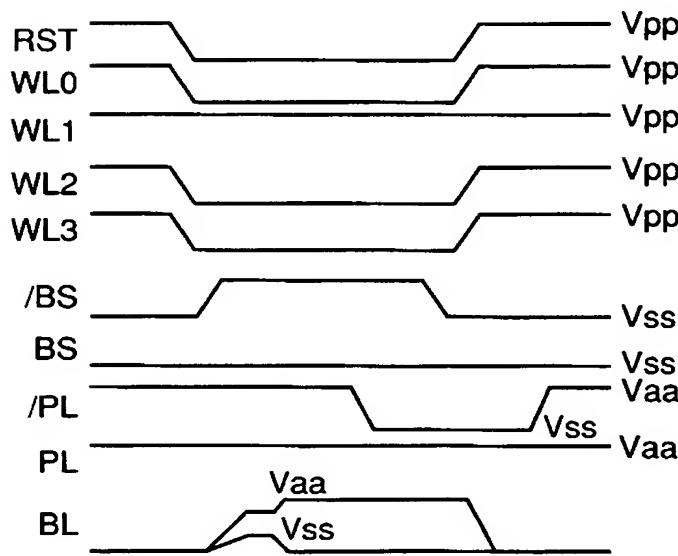
【図9】



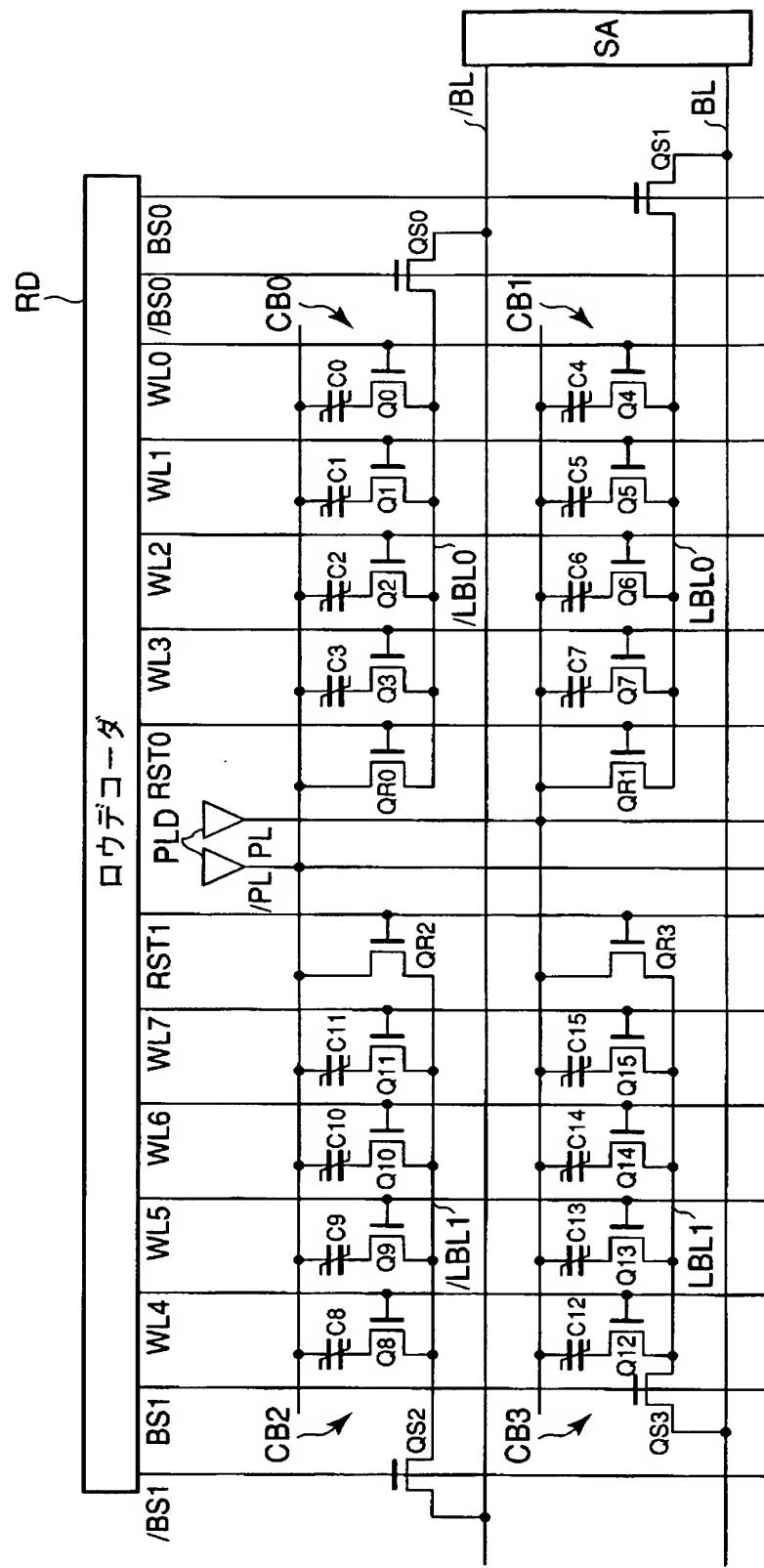
【図10】



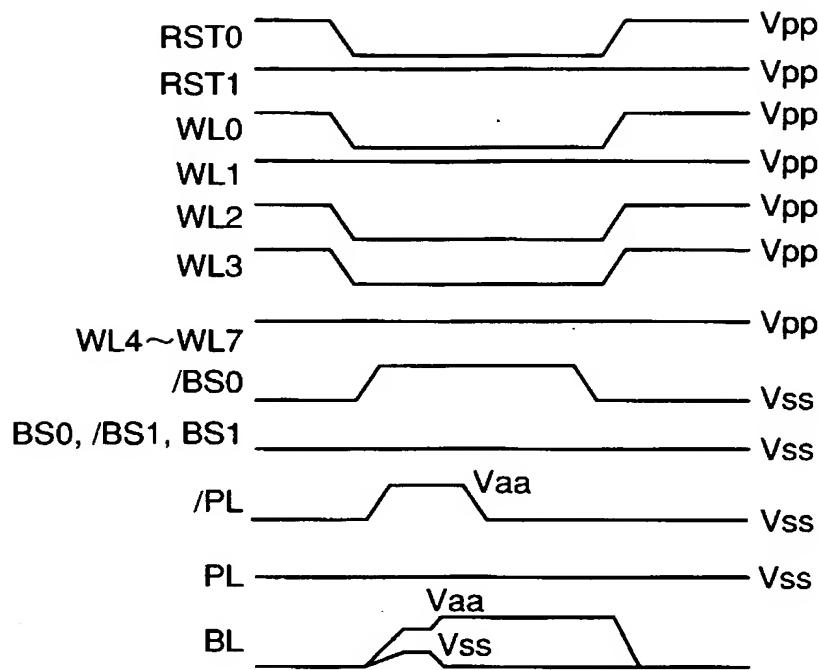
【図11】



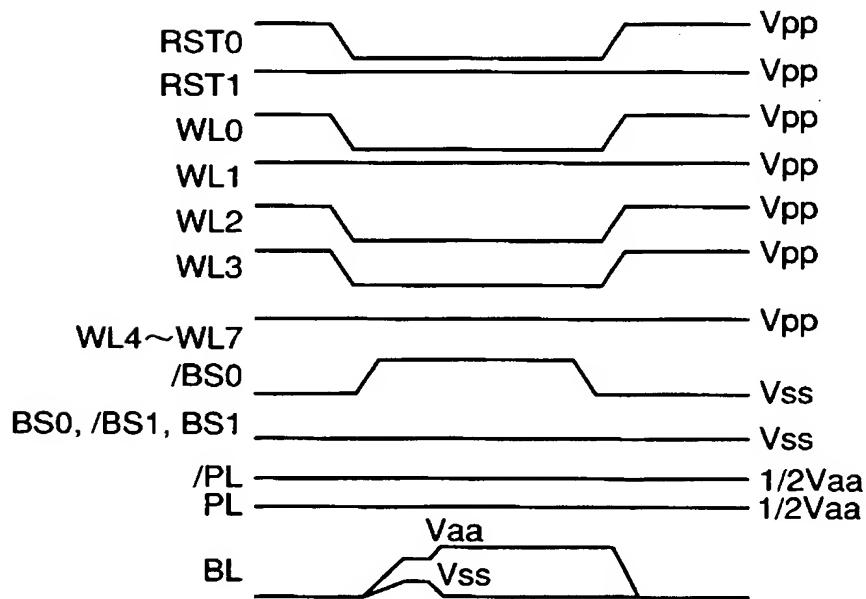
【図12】



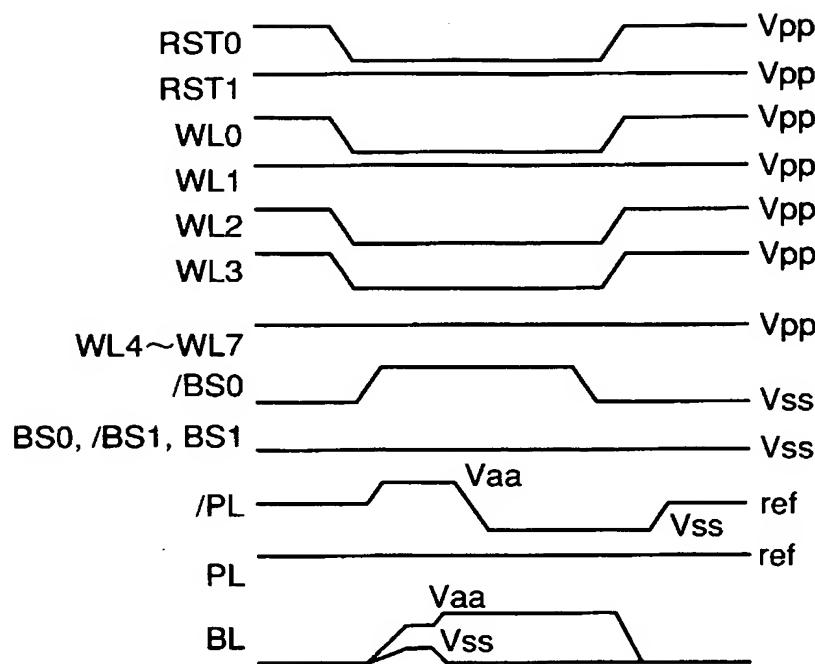
【図13】



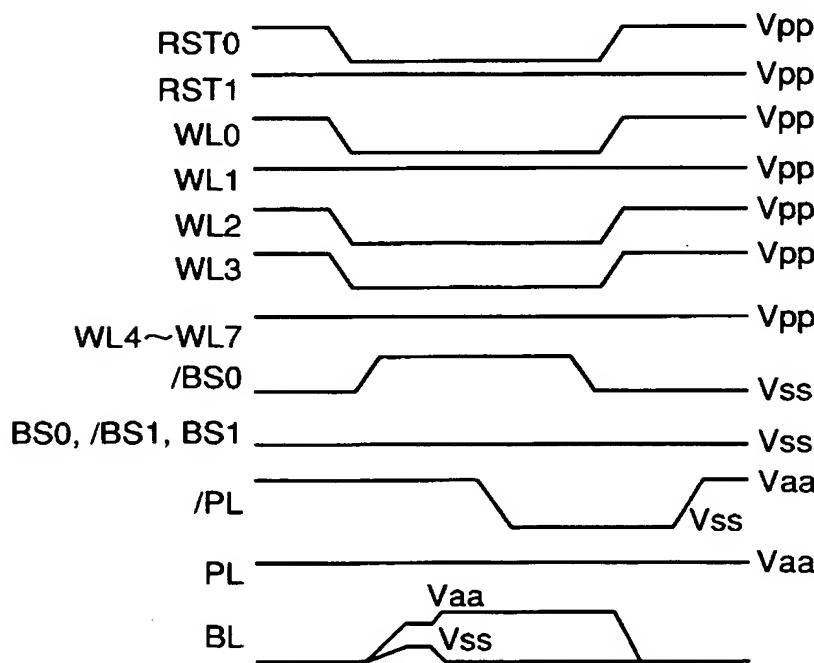
【図14】



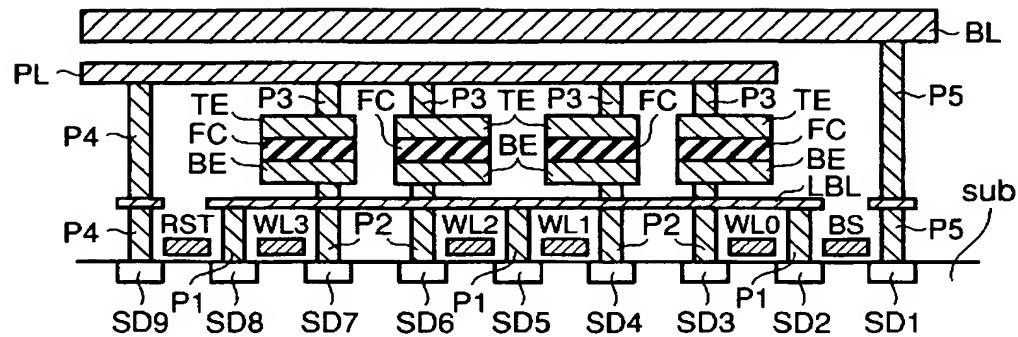
【図 15】



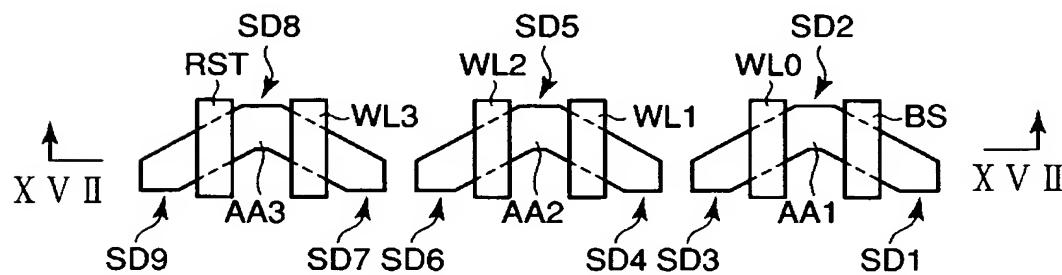
【図 16】



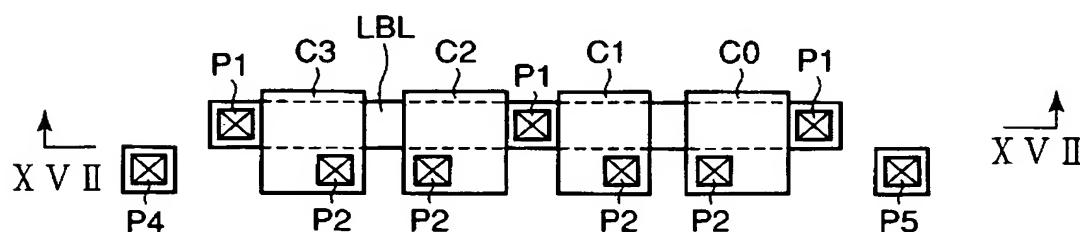
【図17】



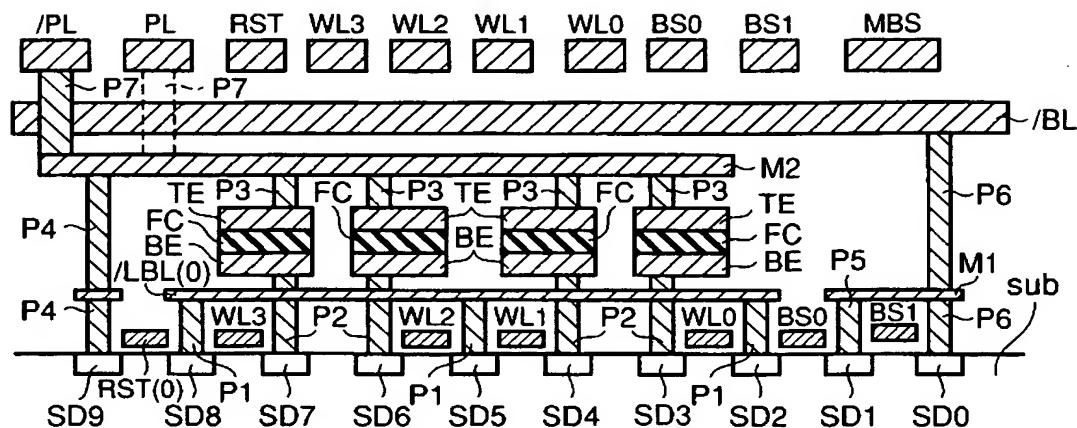
【図18】



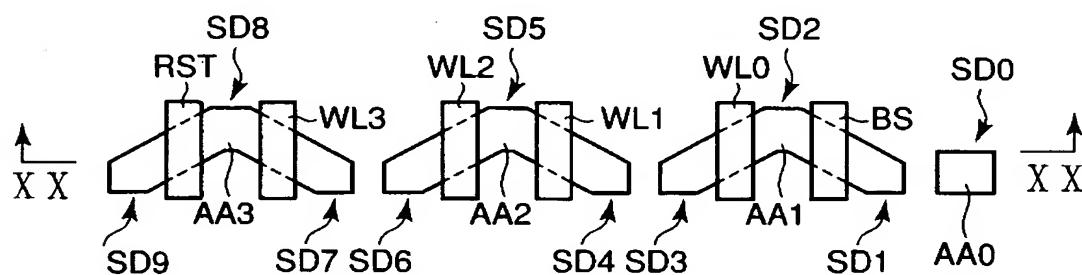
【図19】



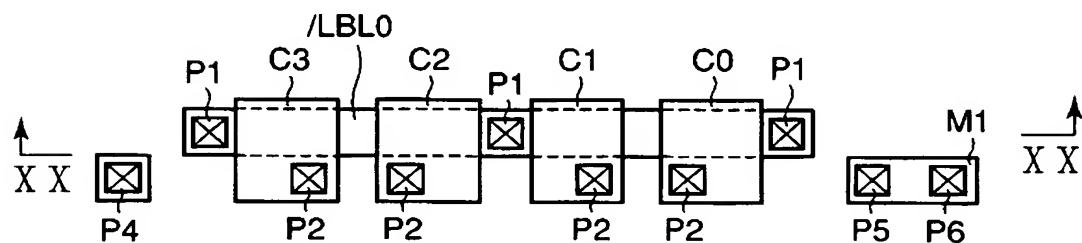
【図20】



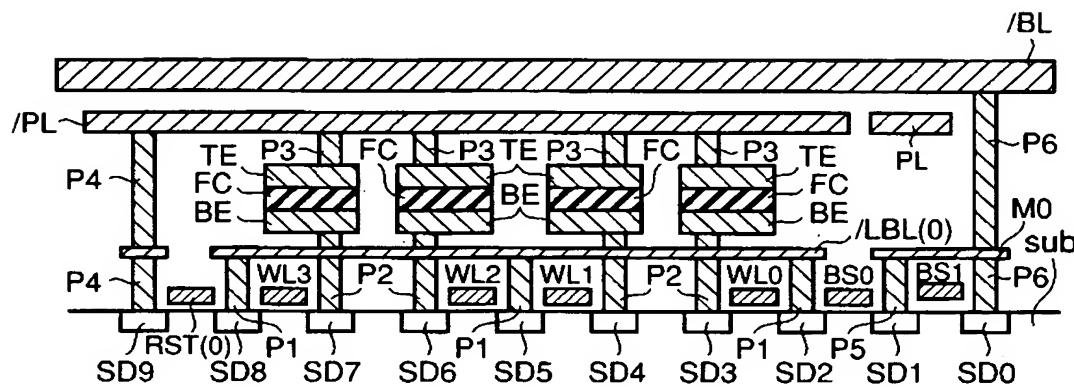
【図21】



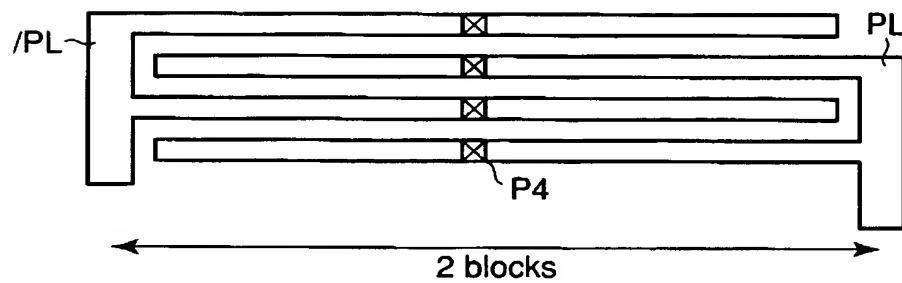
【図22】



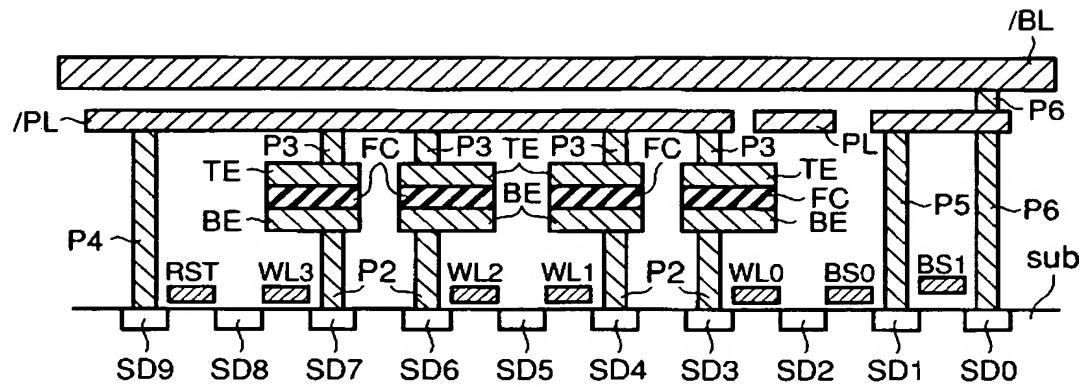
【図23】



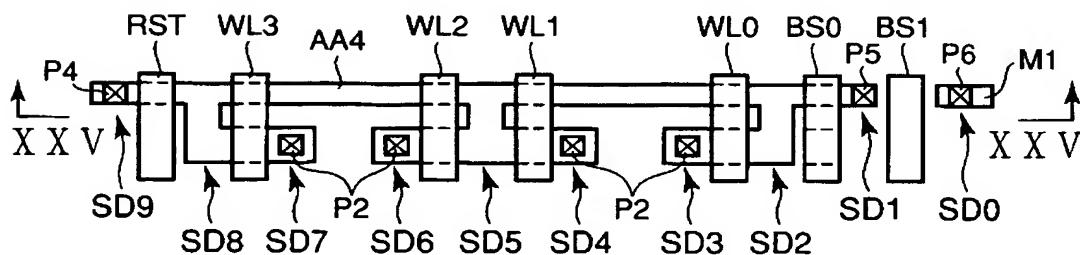
【図24】



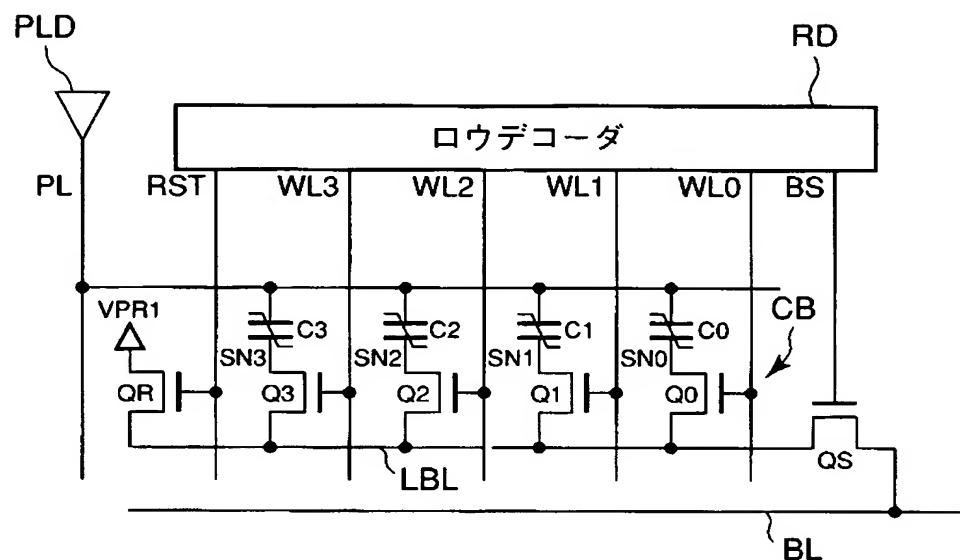
【図25】



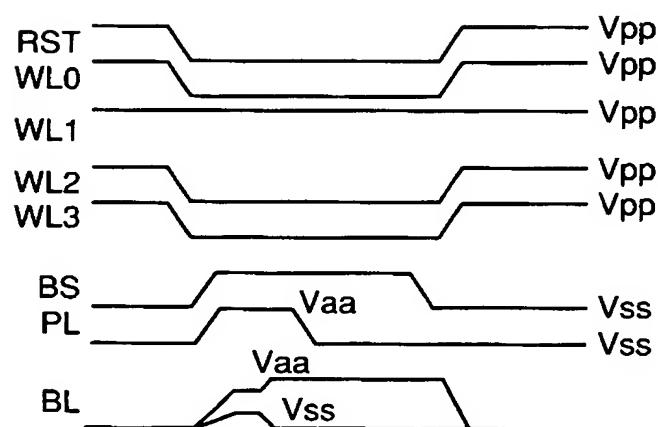
【図26】



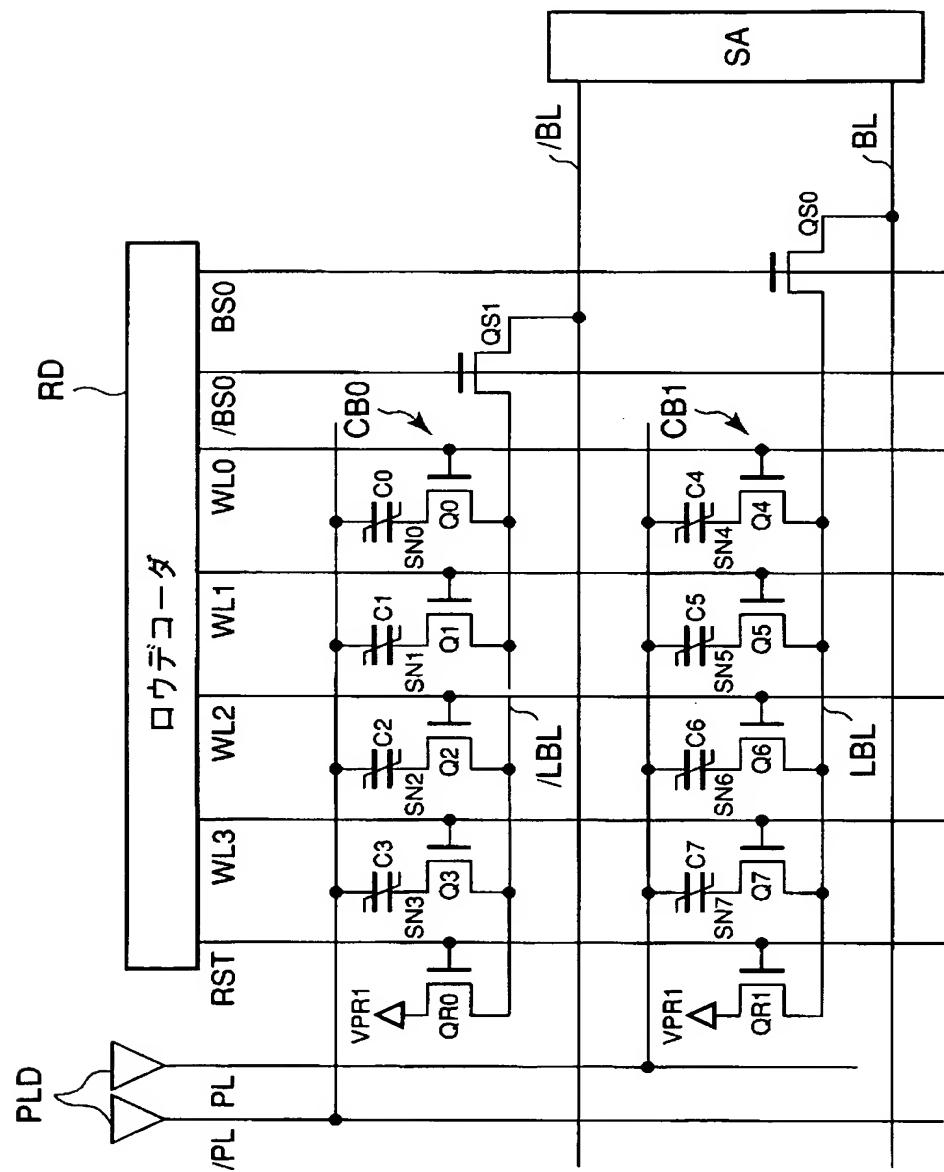
【図27】



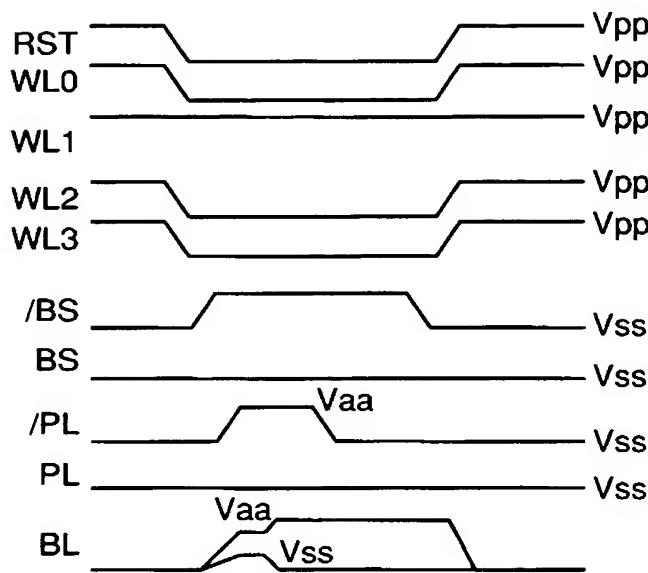
【図28】



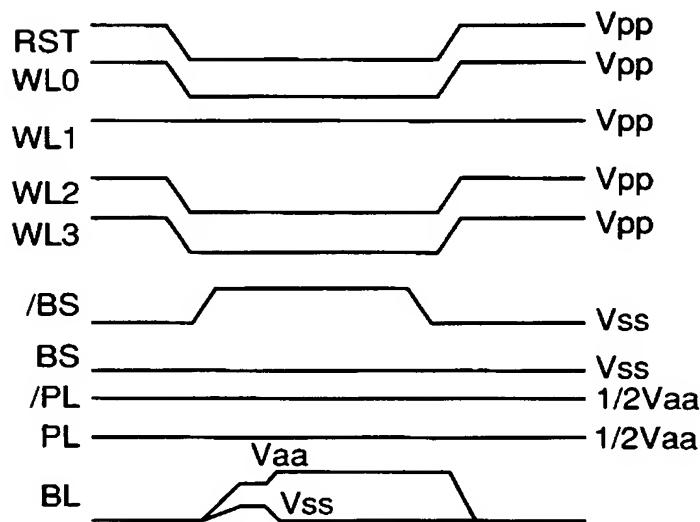
【図29】



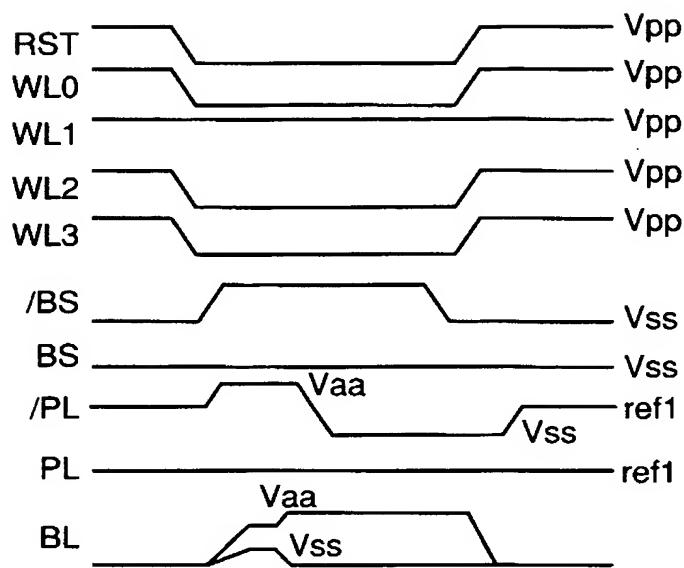
【図30】



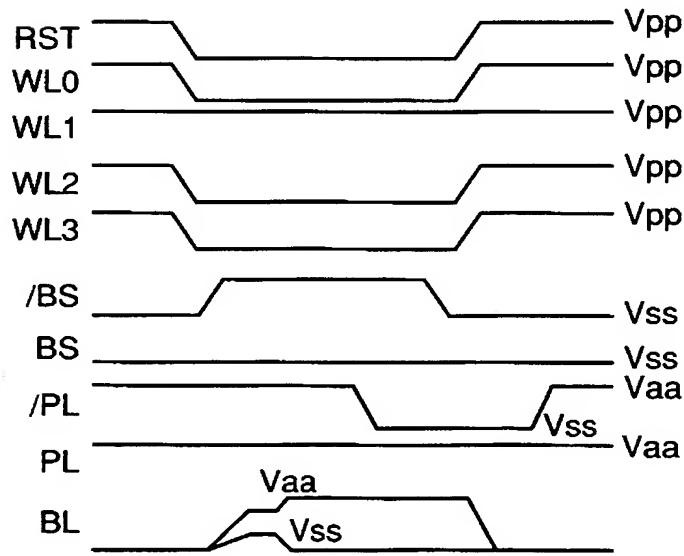
【図31】



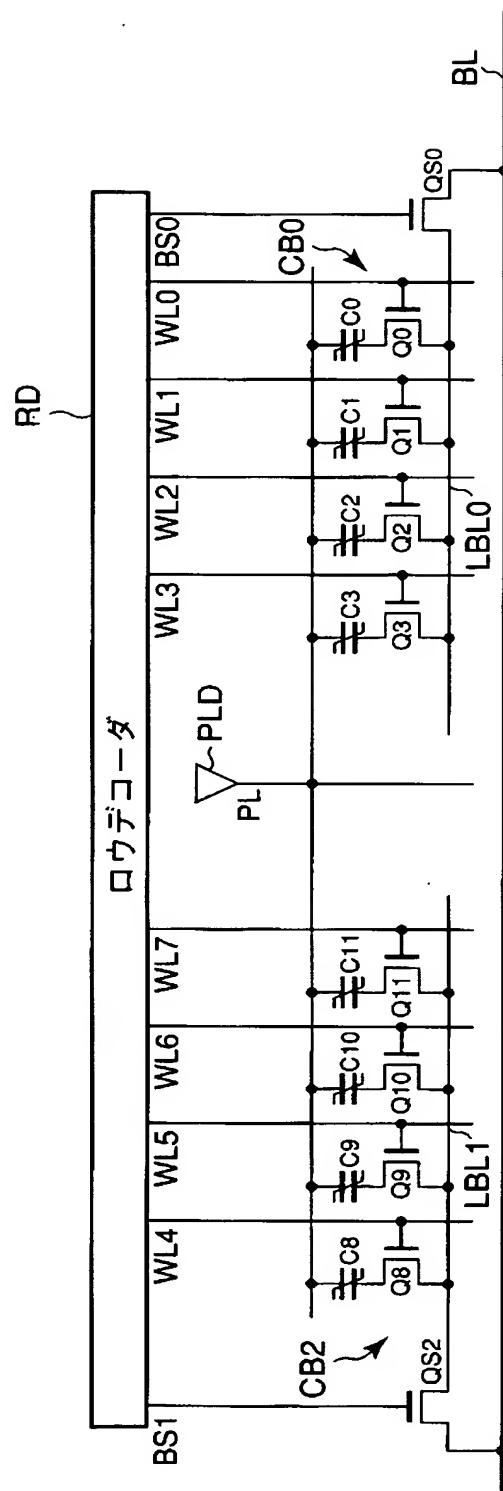
【図32】



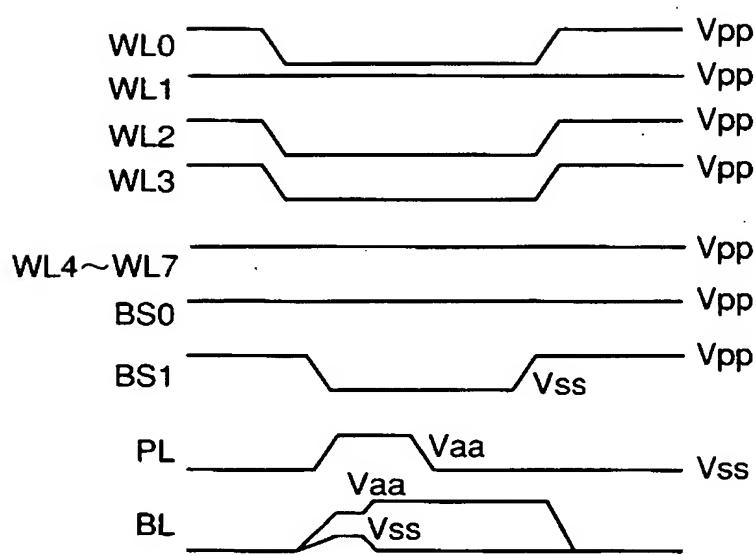
【図33】



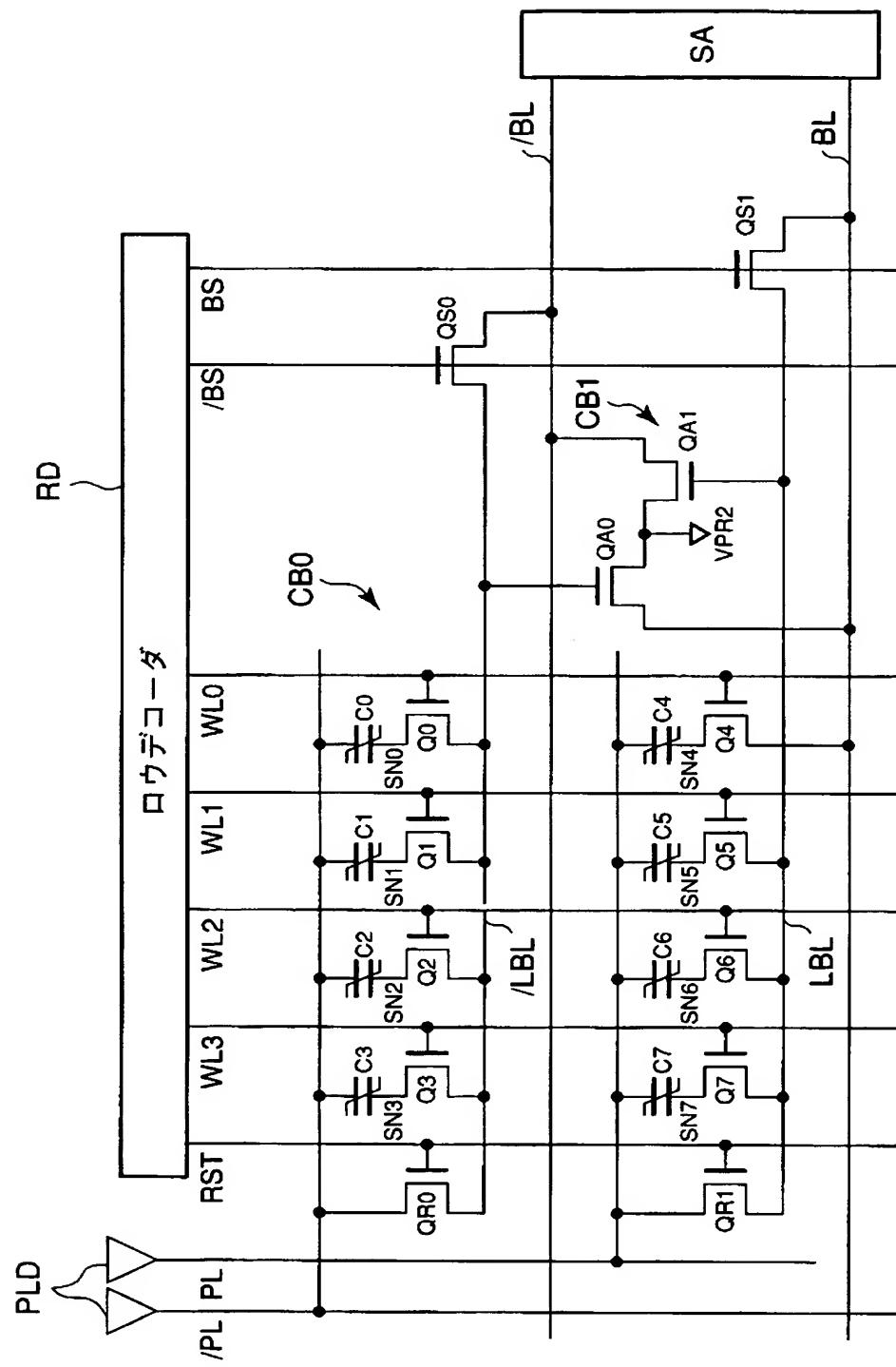
【図34】



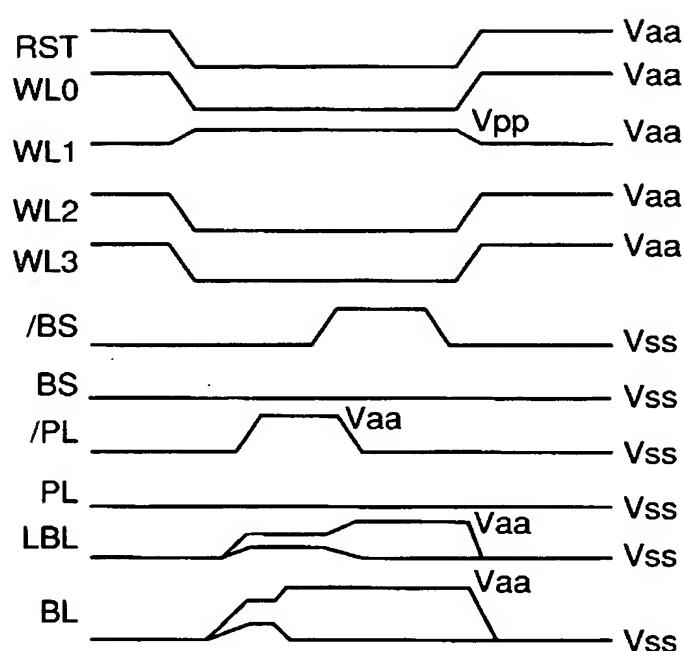
【図35】



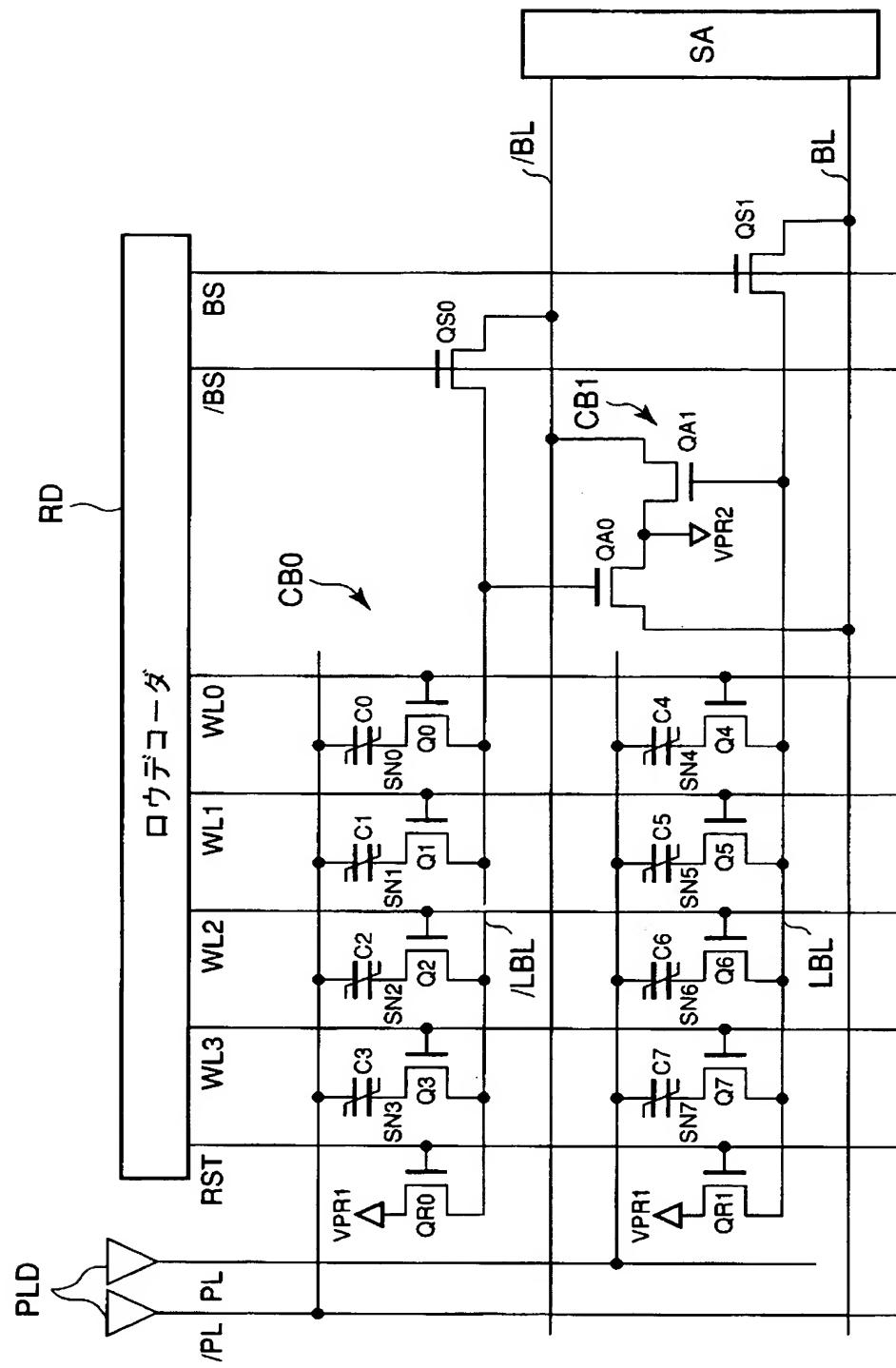
【図36】



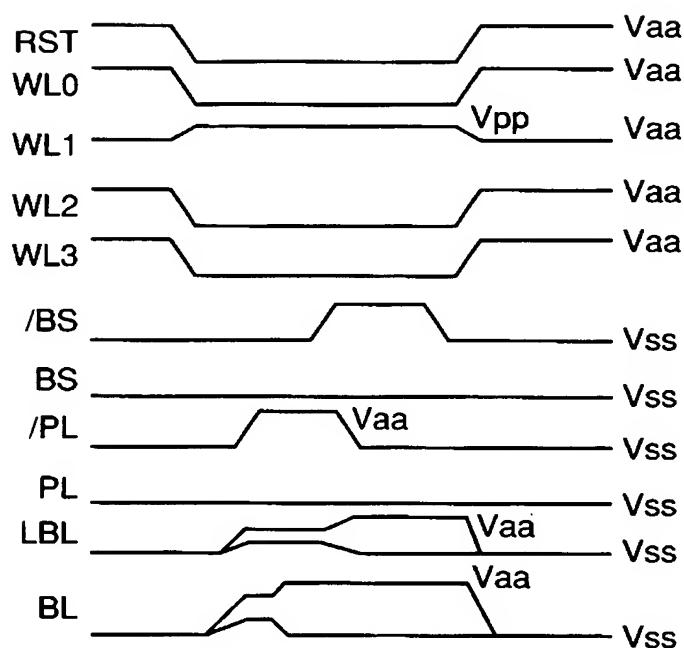
【図37】



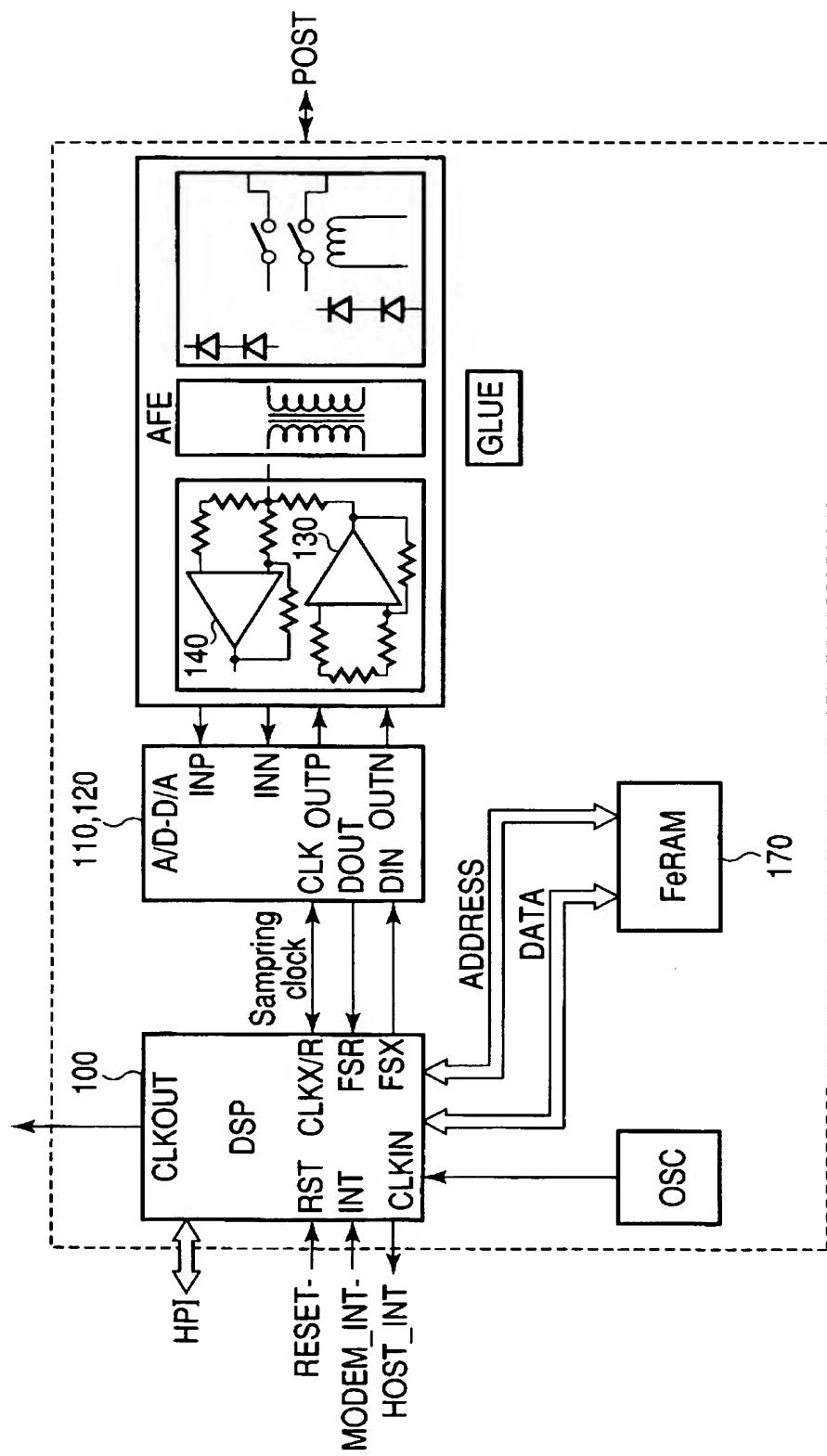
【図38】



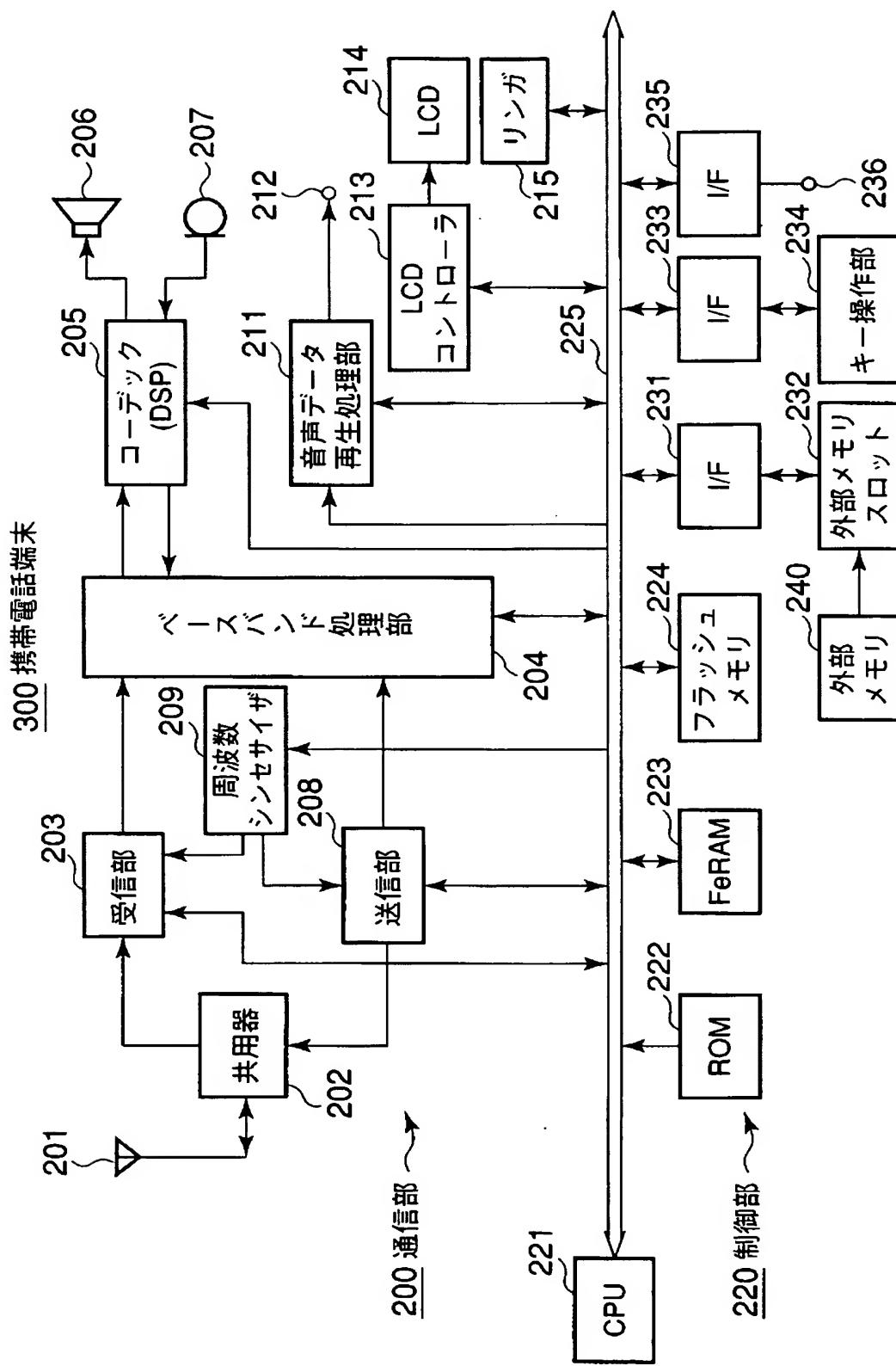
【図39】



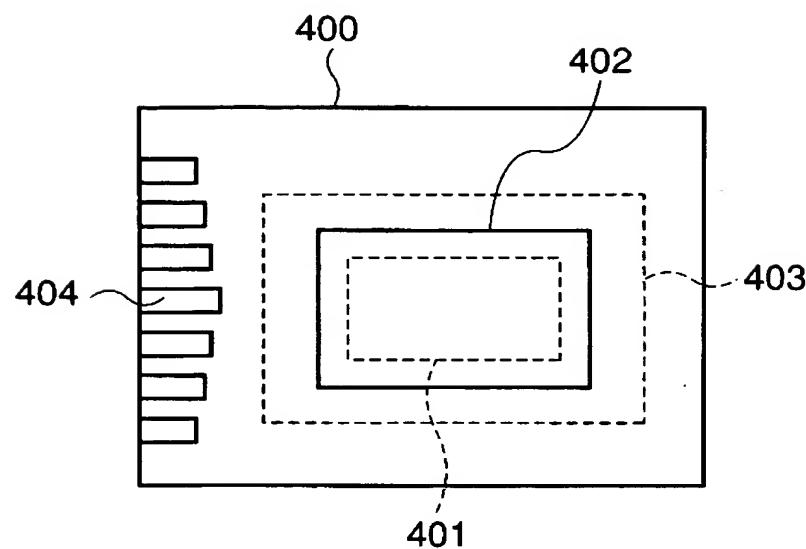
【図40】



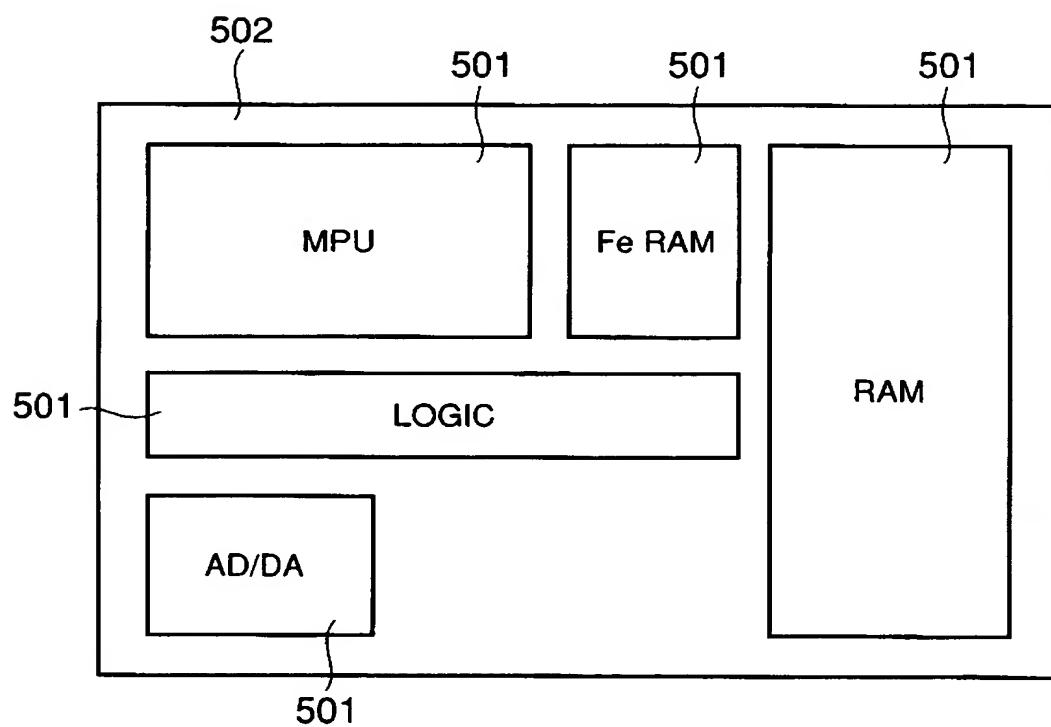
【図41】



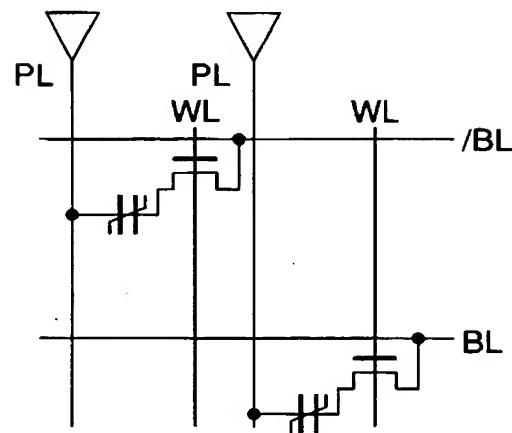
【図42】



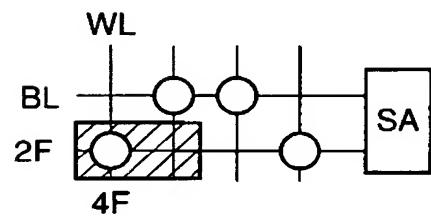
【図43】



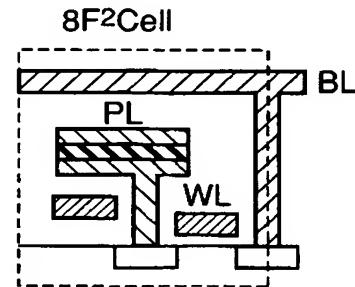
【図44】



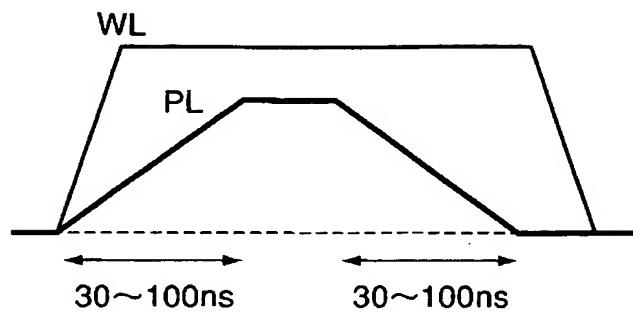
【図45】



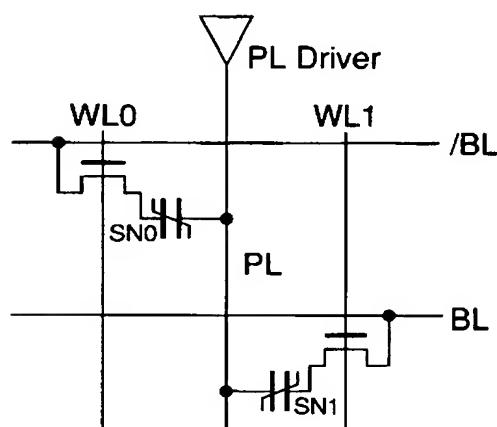
【図46】



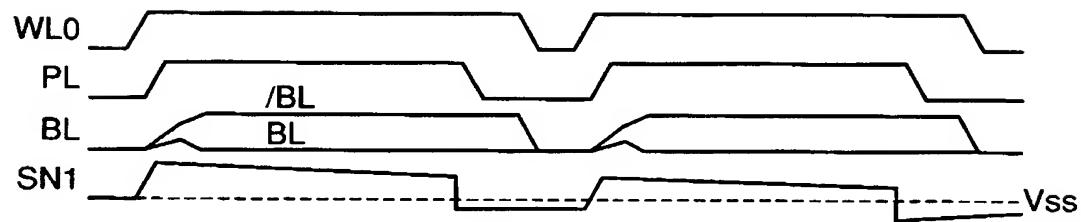
【図47】



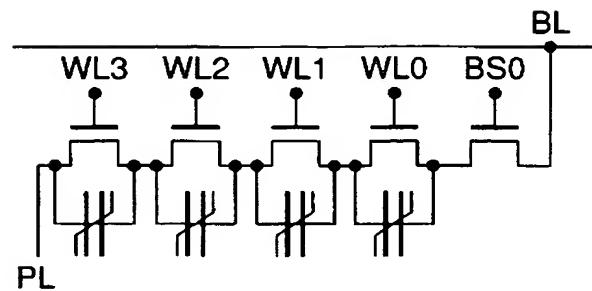
【図48】



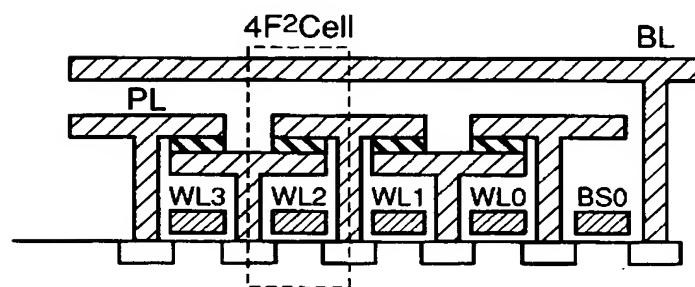
【図49】



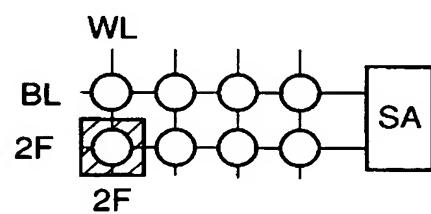
【図50】



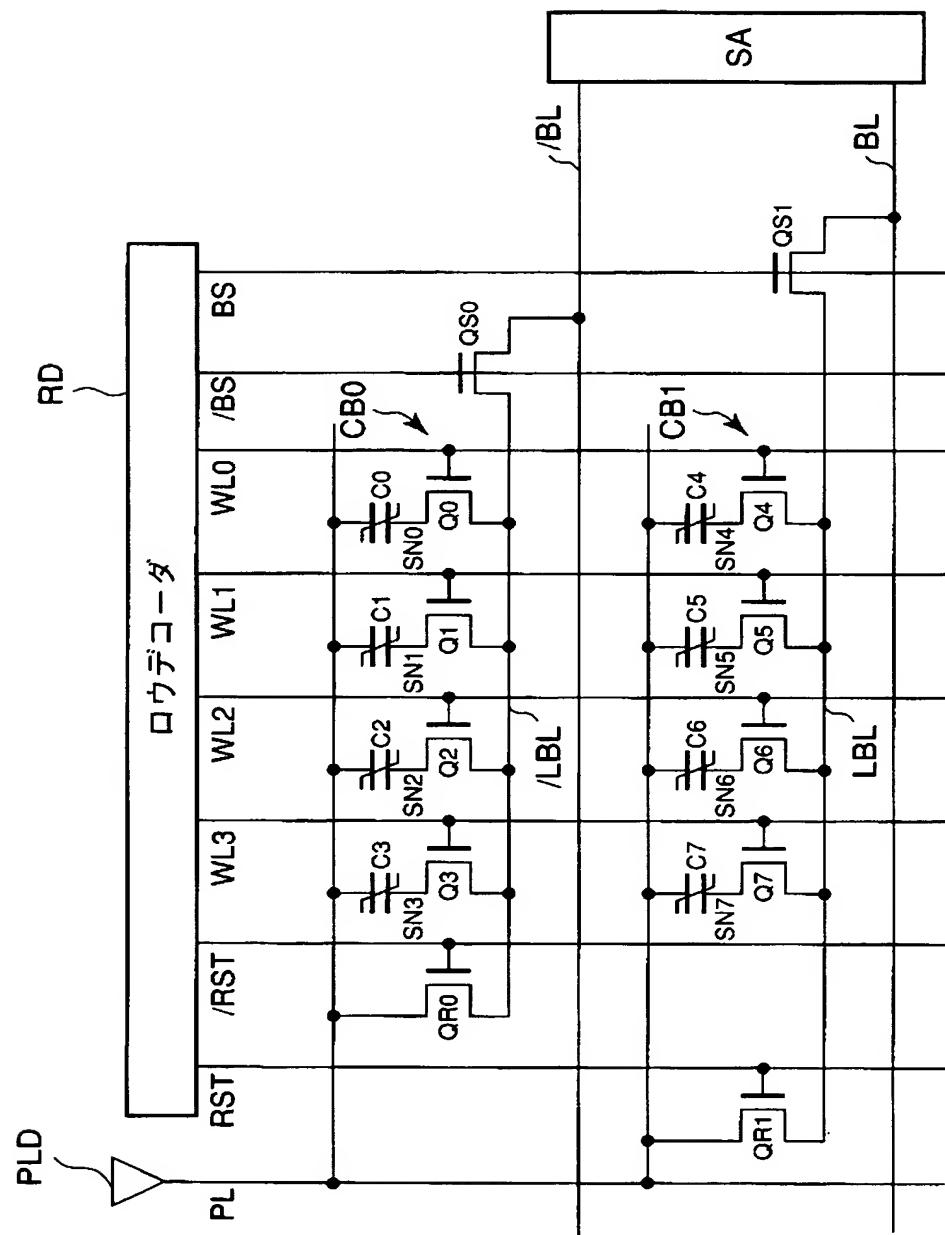
【図51】



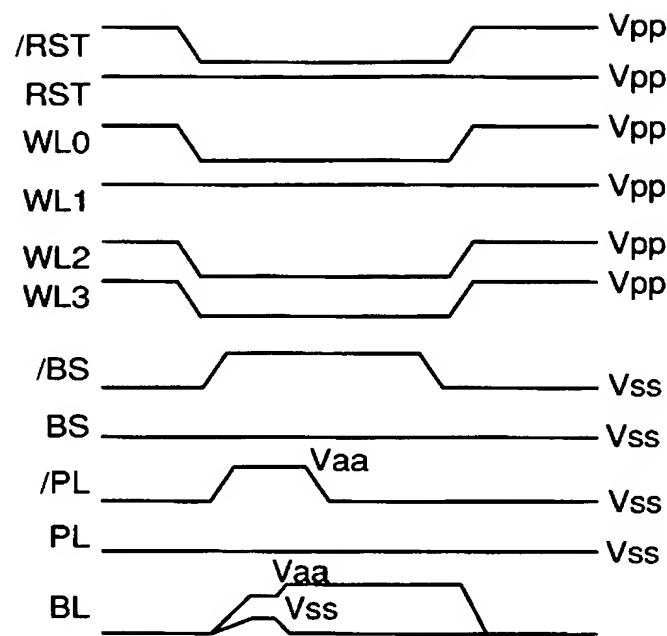
【図52】



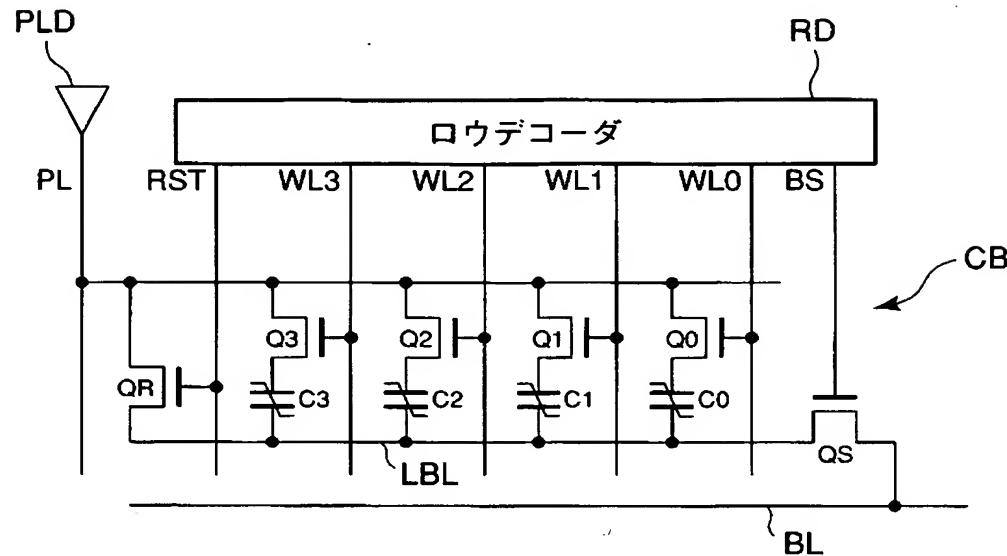
【図53】



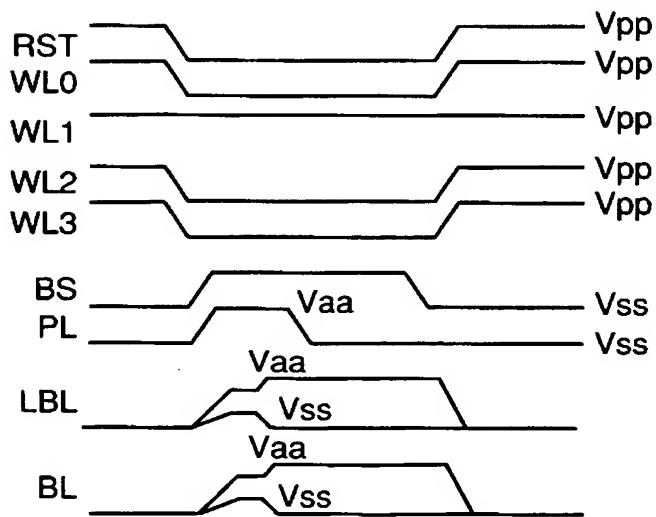
【図 54】



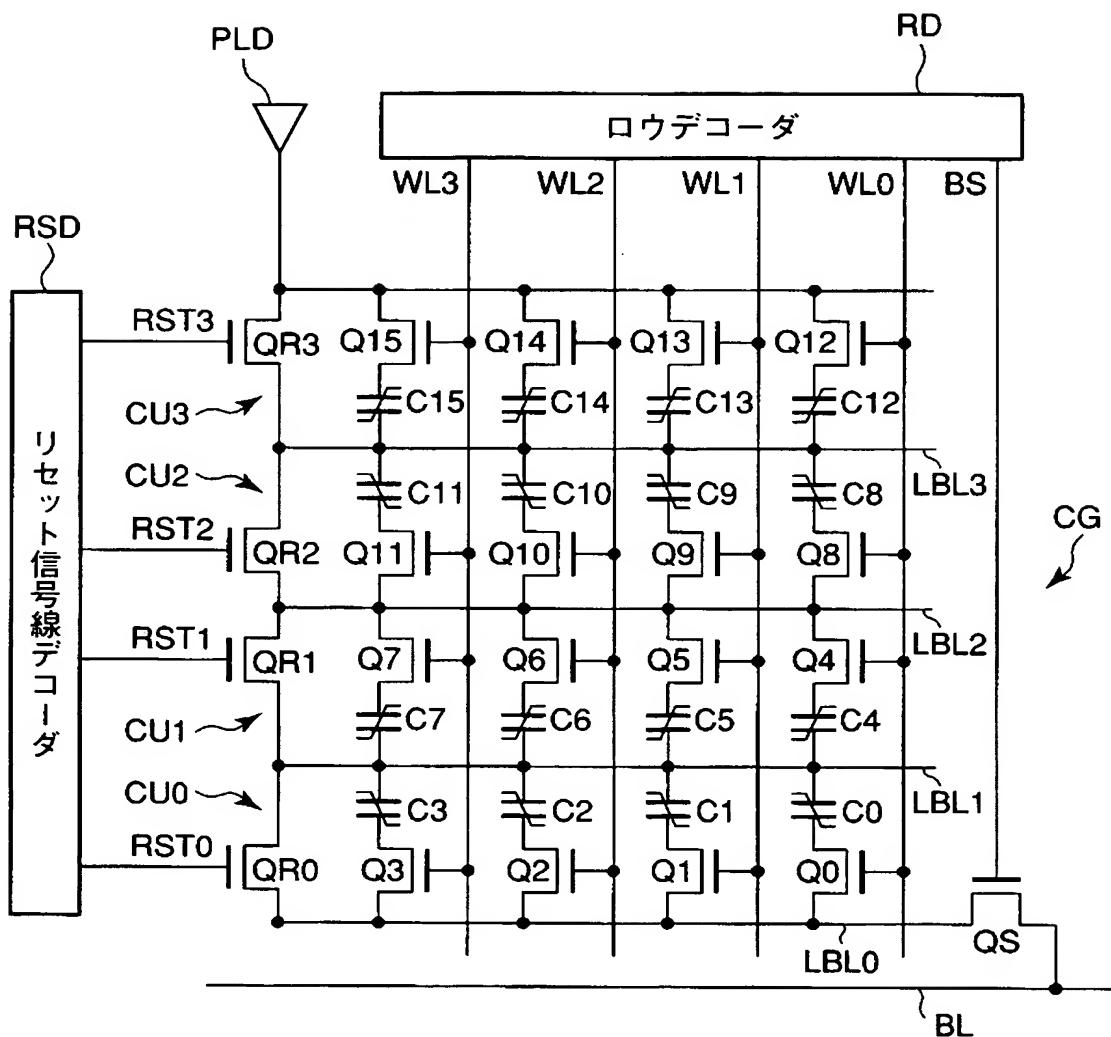
【図55】



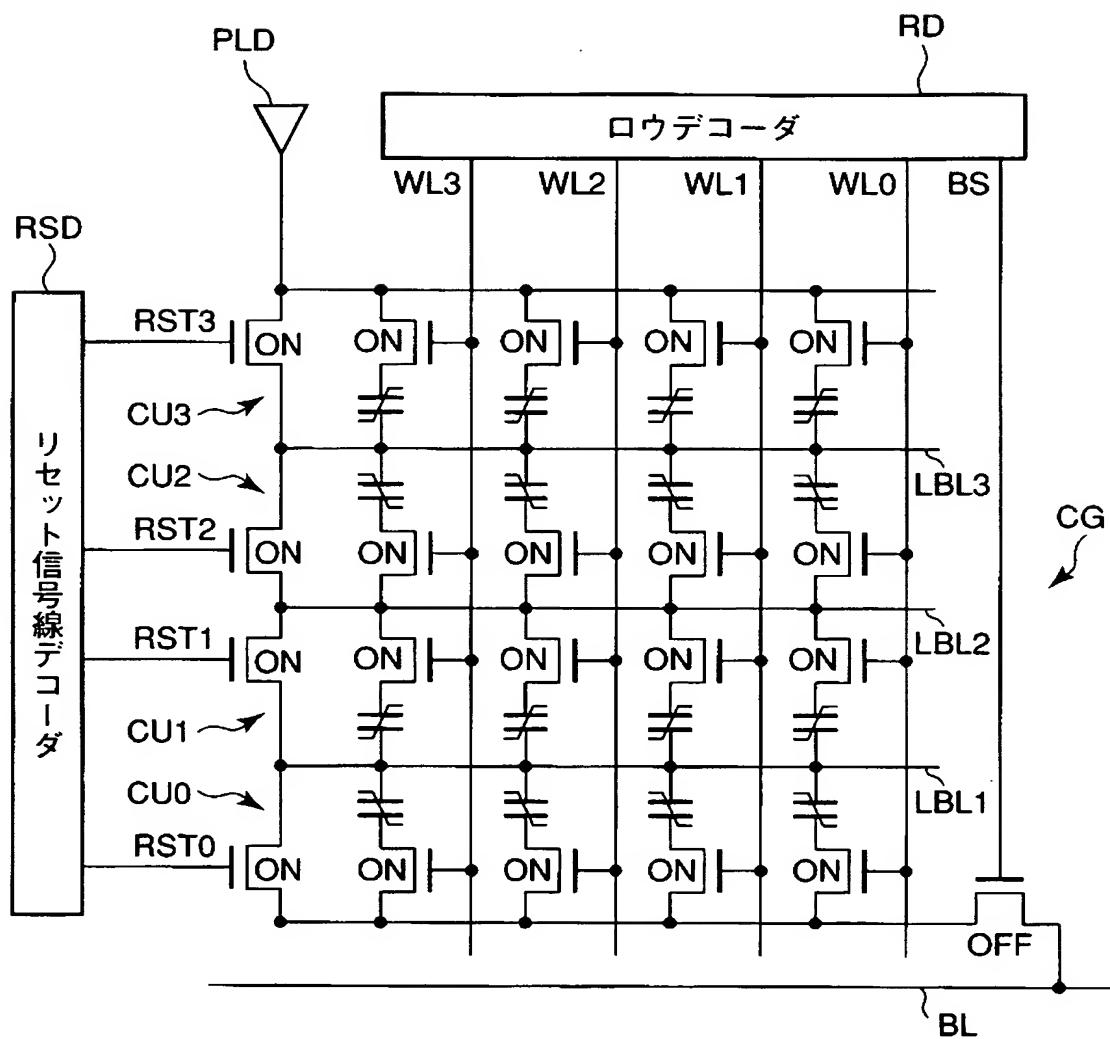
【図56】



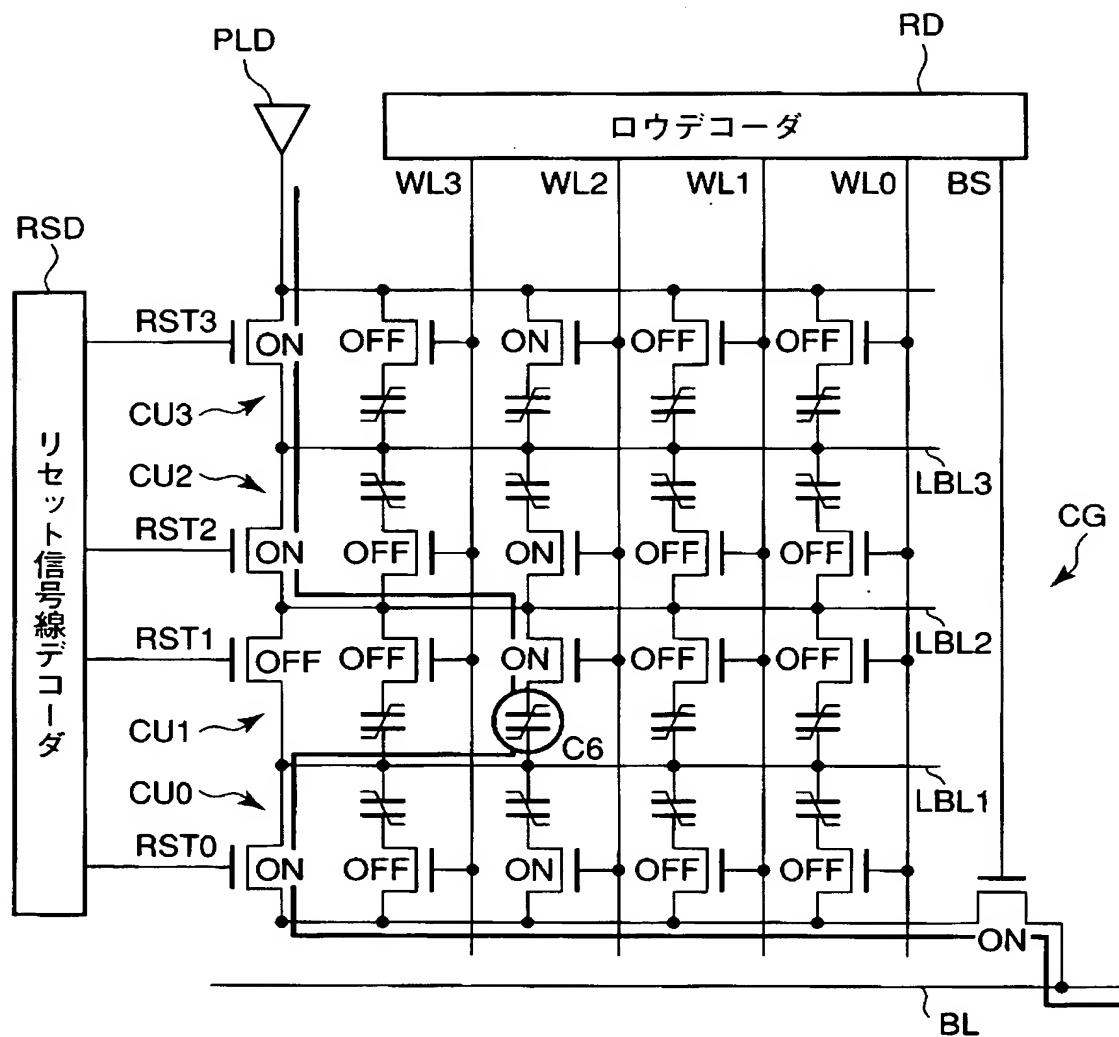
【図 57】



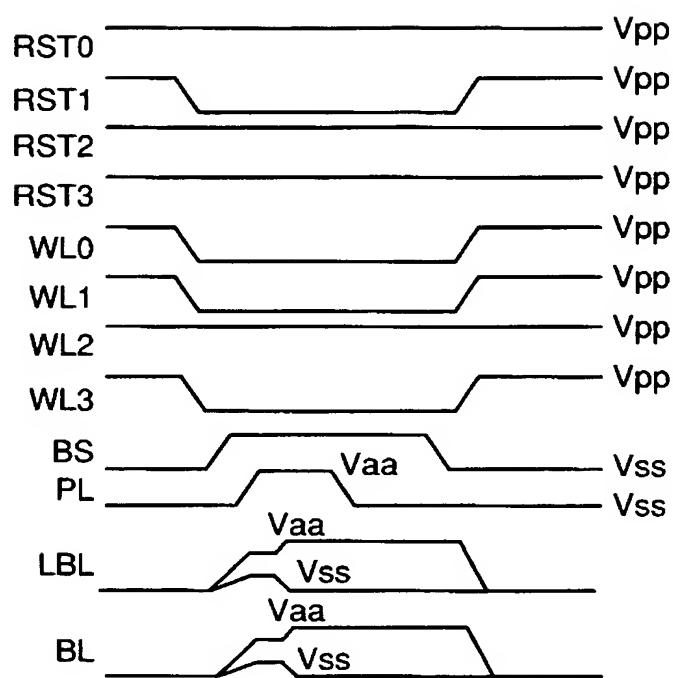
【図58】



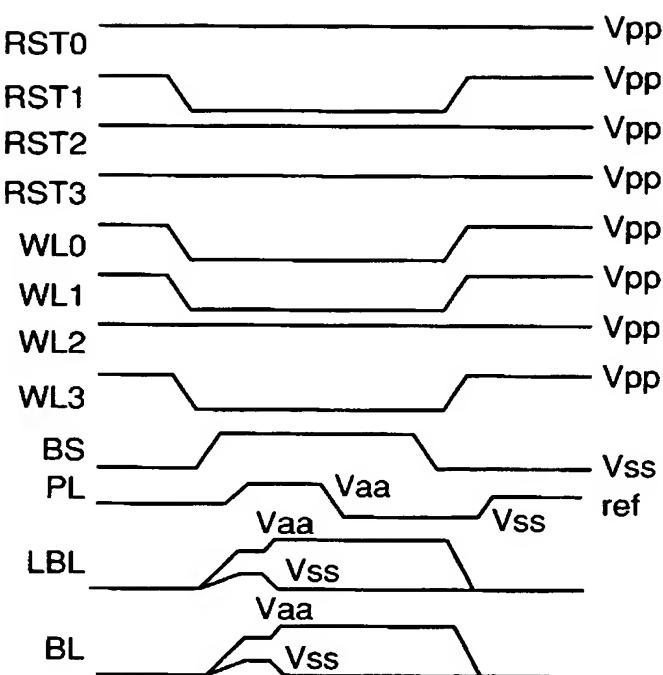
【図 5.9】



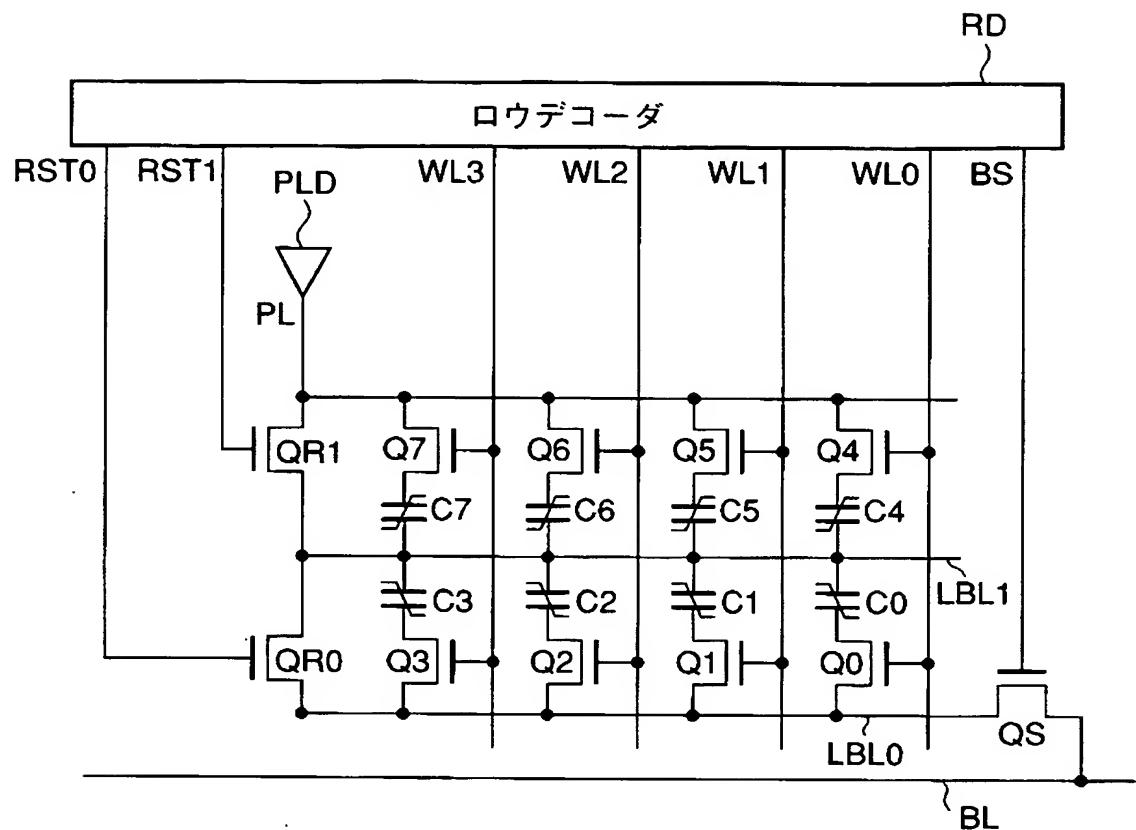
【図60】



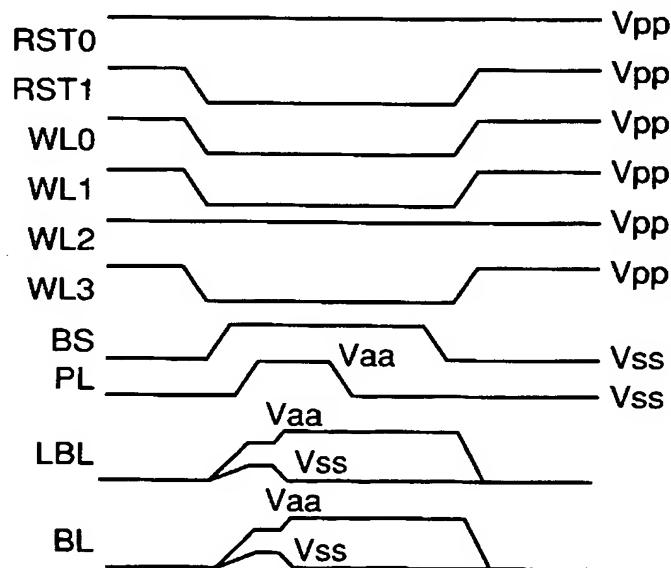
【図 6 1】



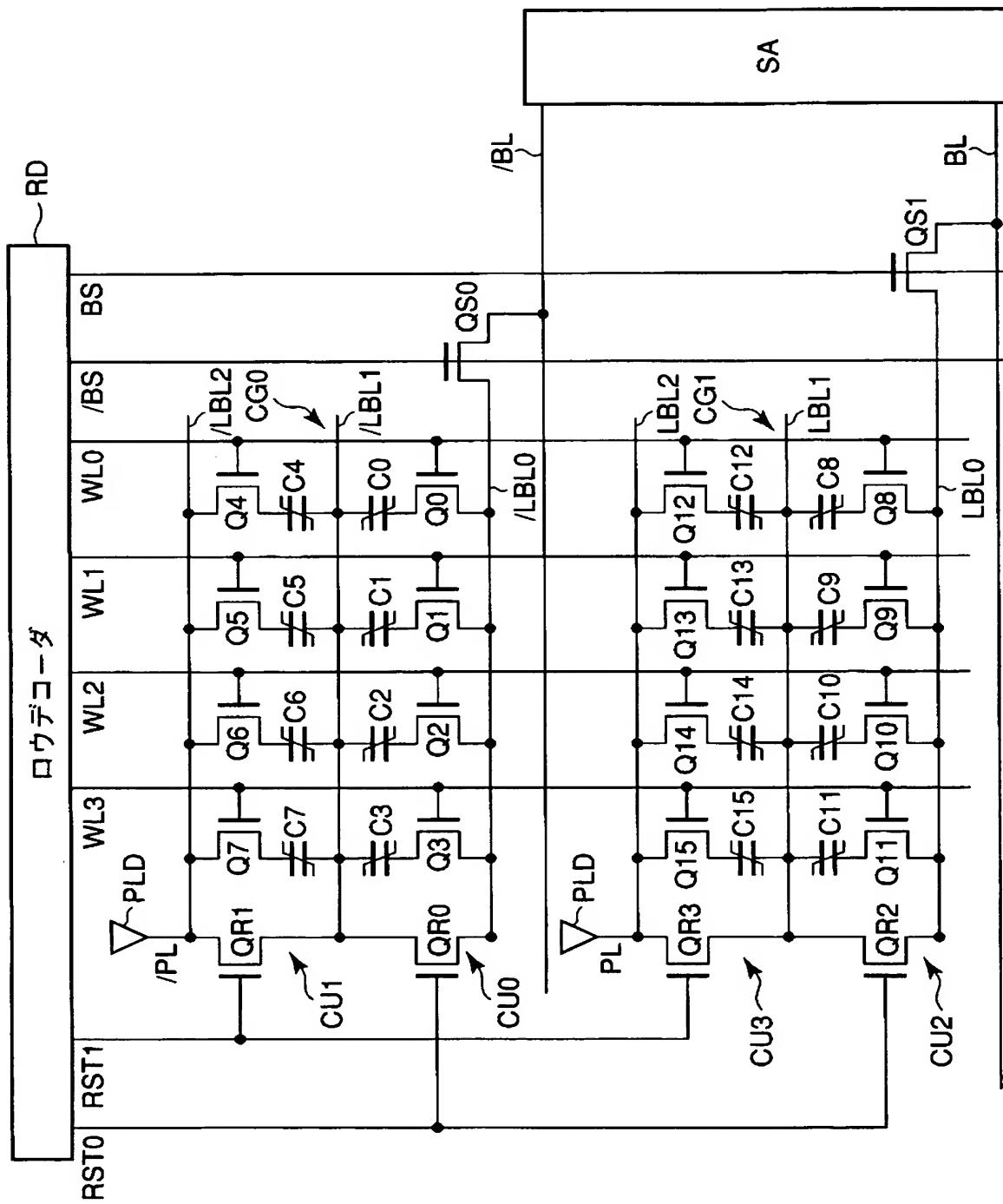
【図62】



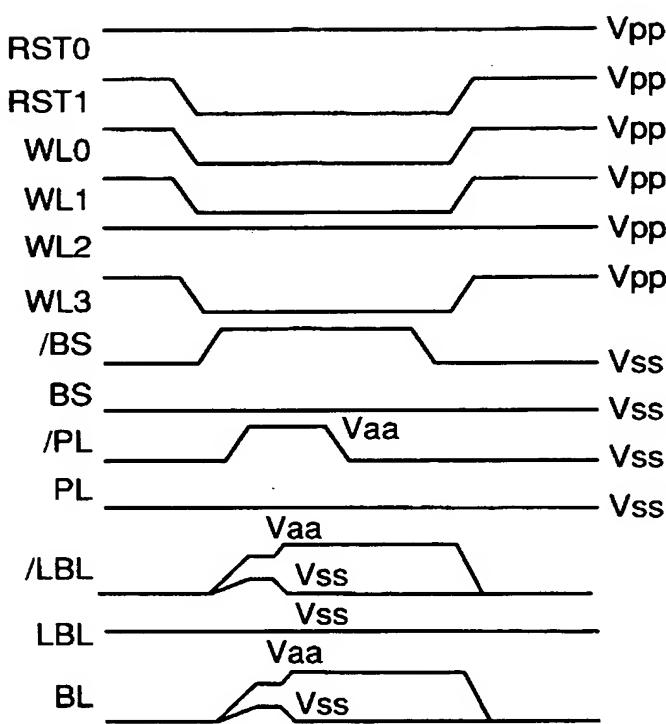
【図63】



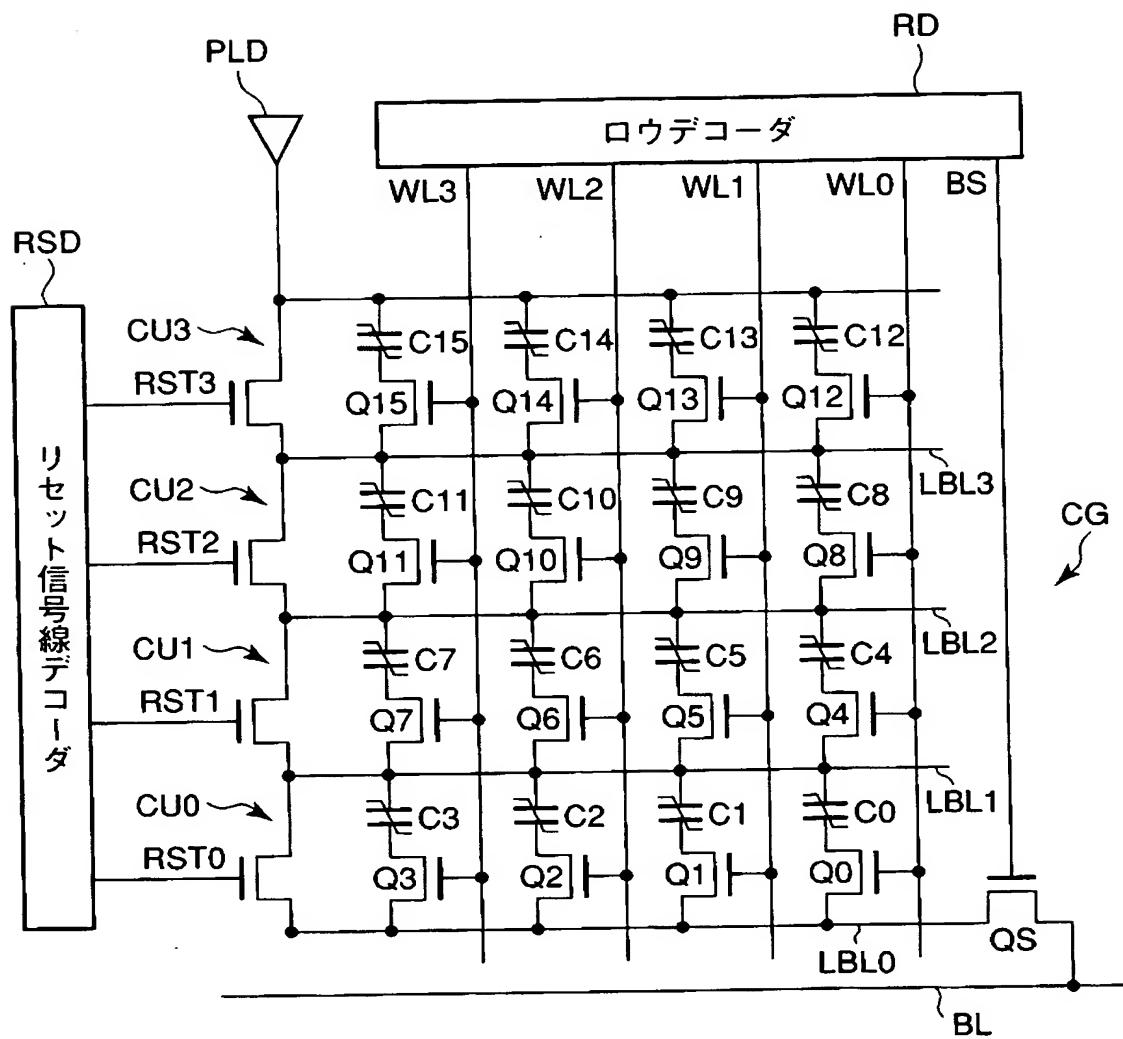
【図64】



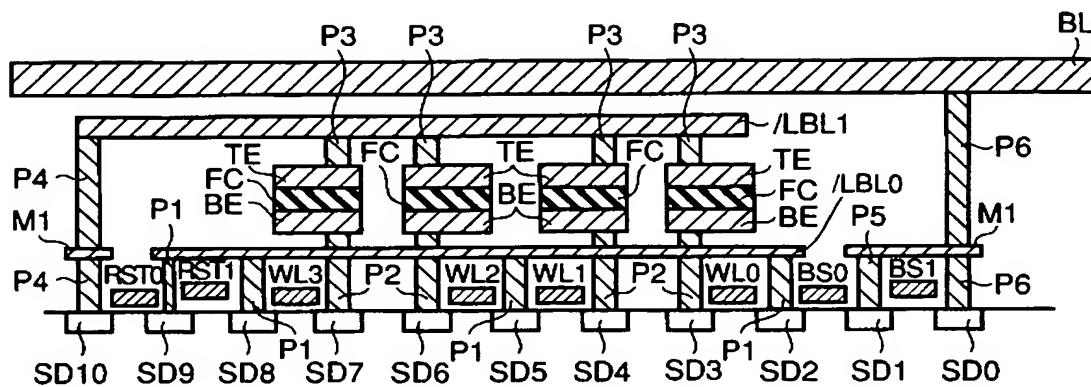
【図 65】



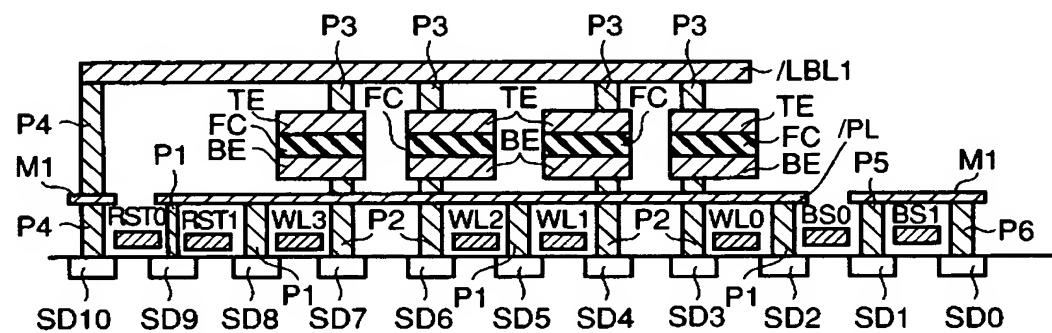
【図66】



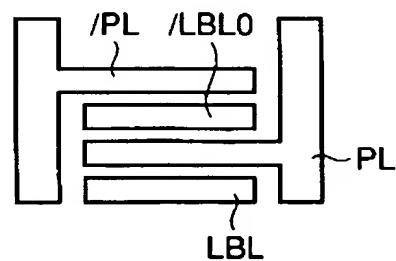
【図67】



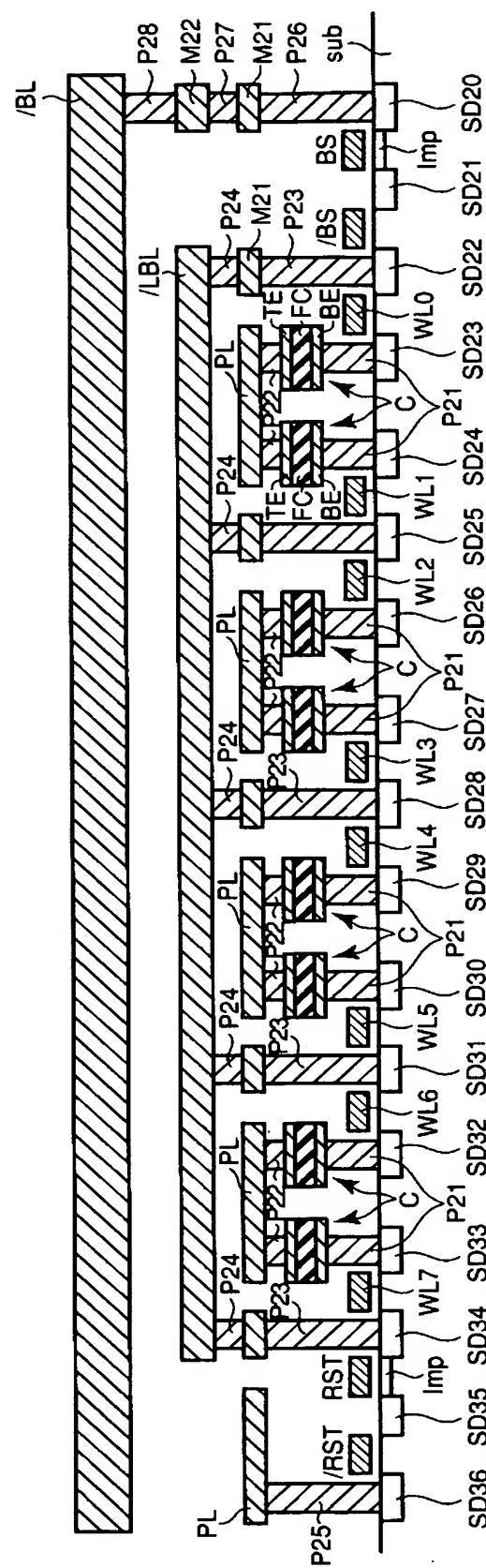
【図68】



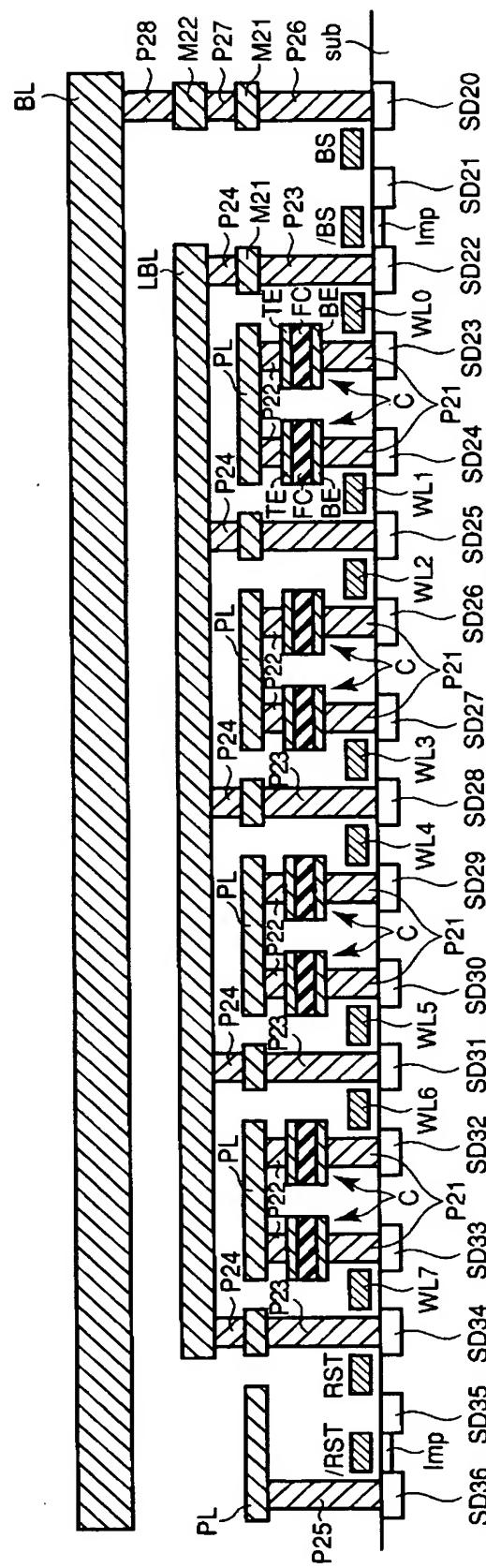
【図69】



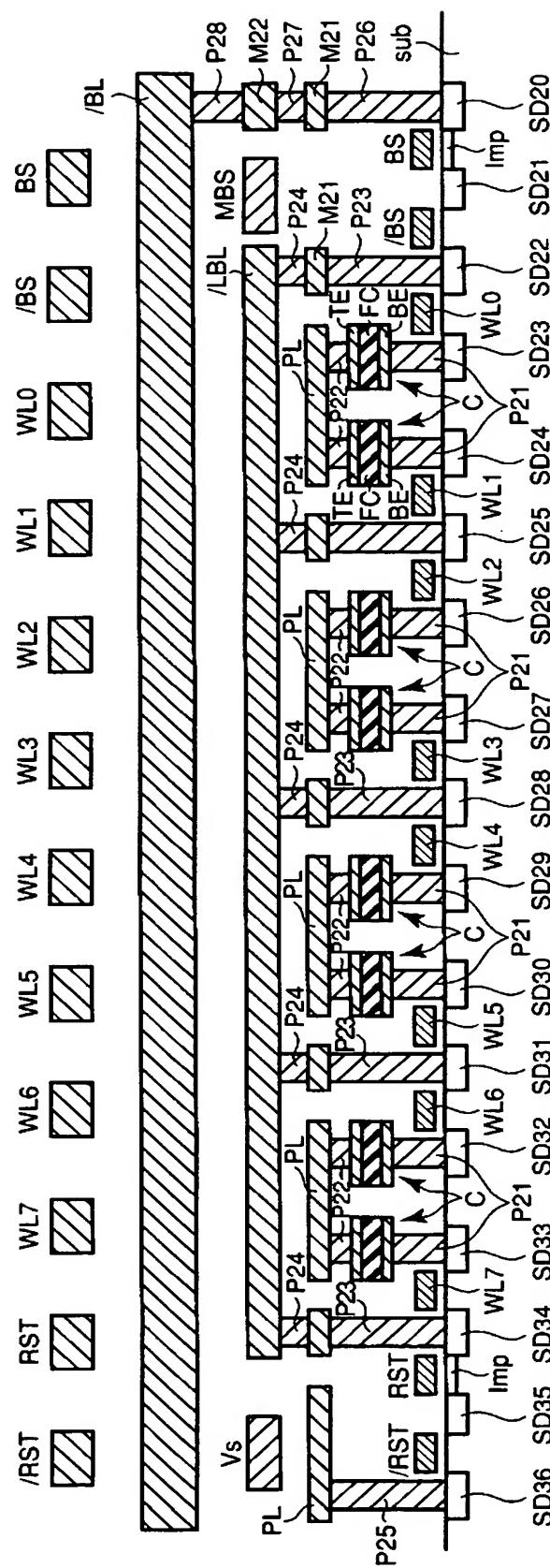
【図 70】



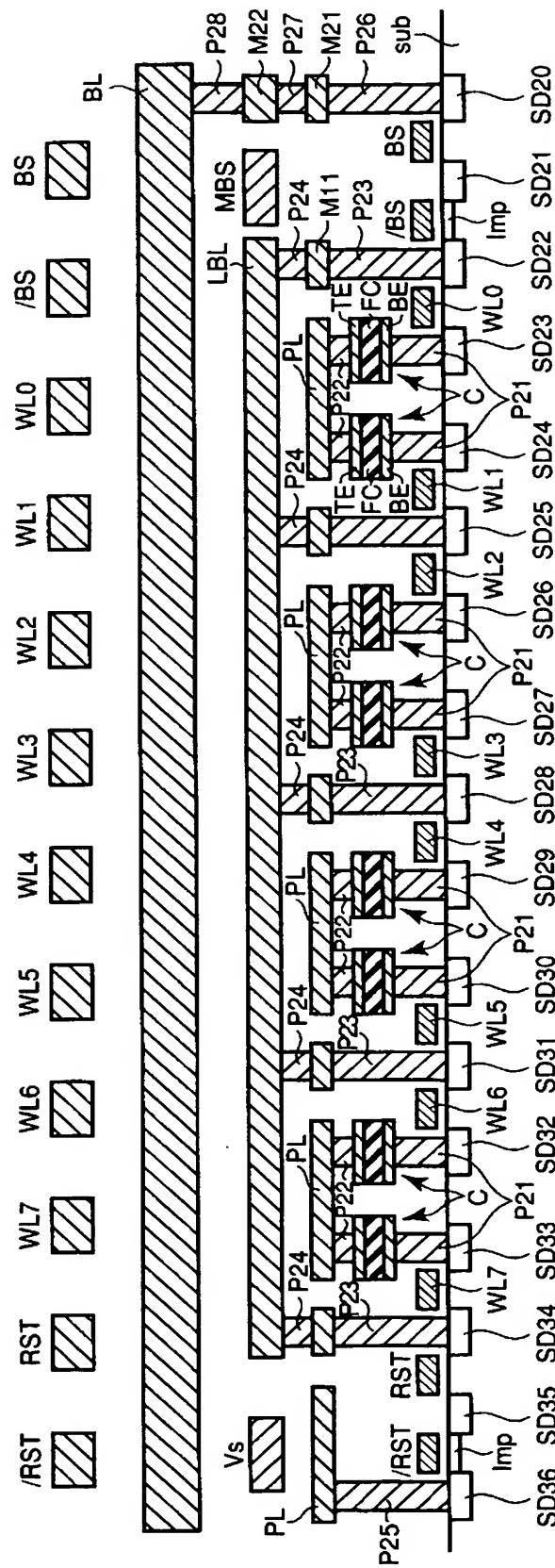
【図7-1】



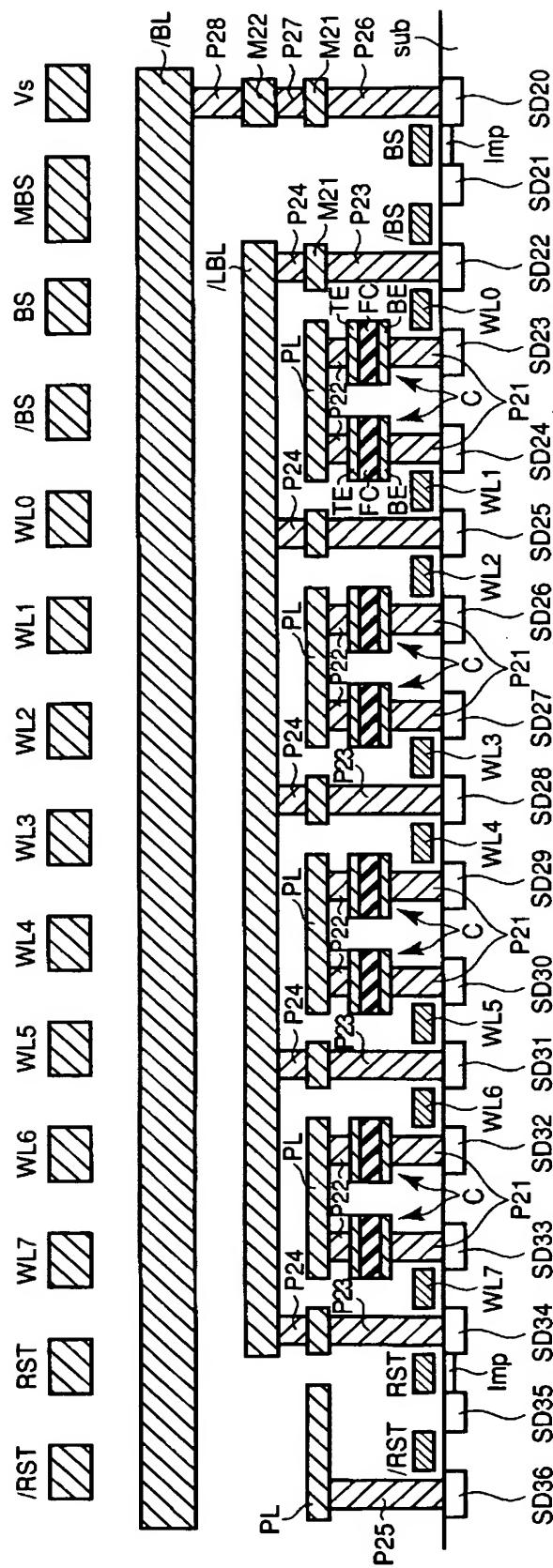
【図72】



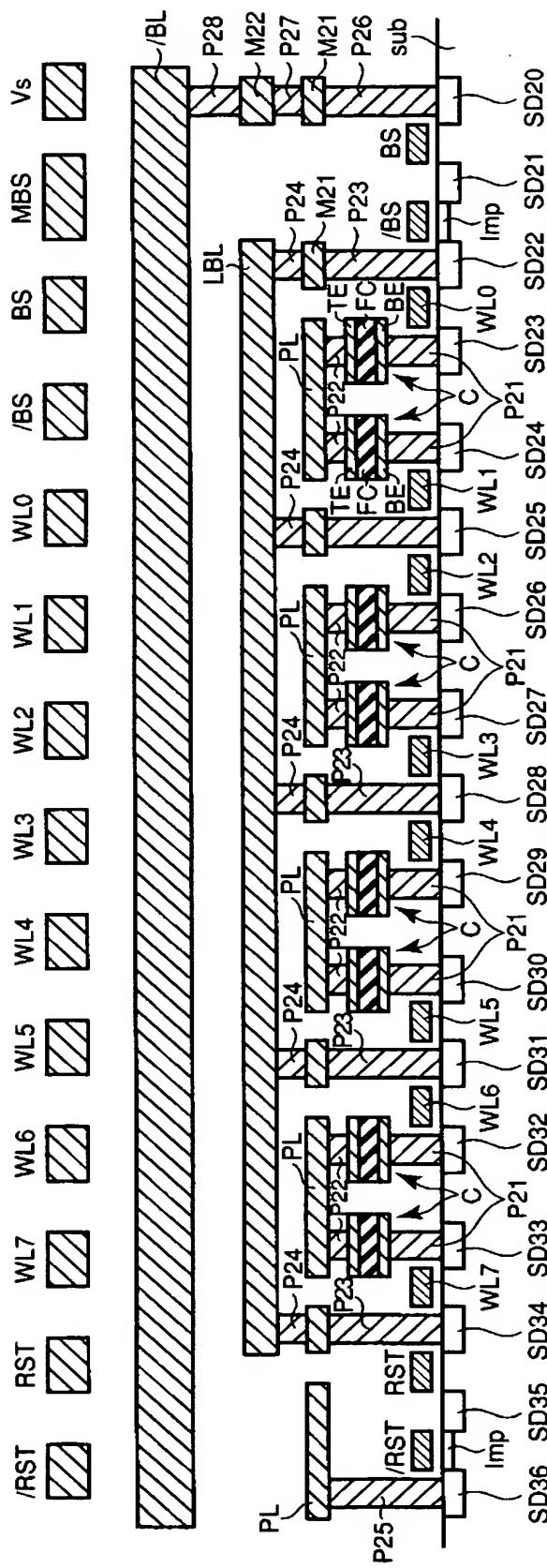
【図73】



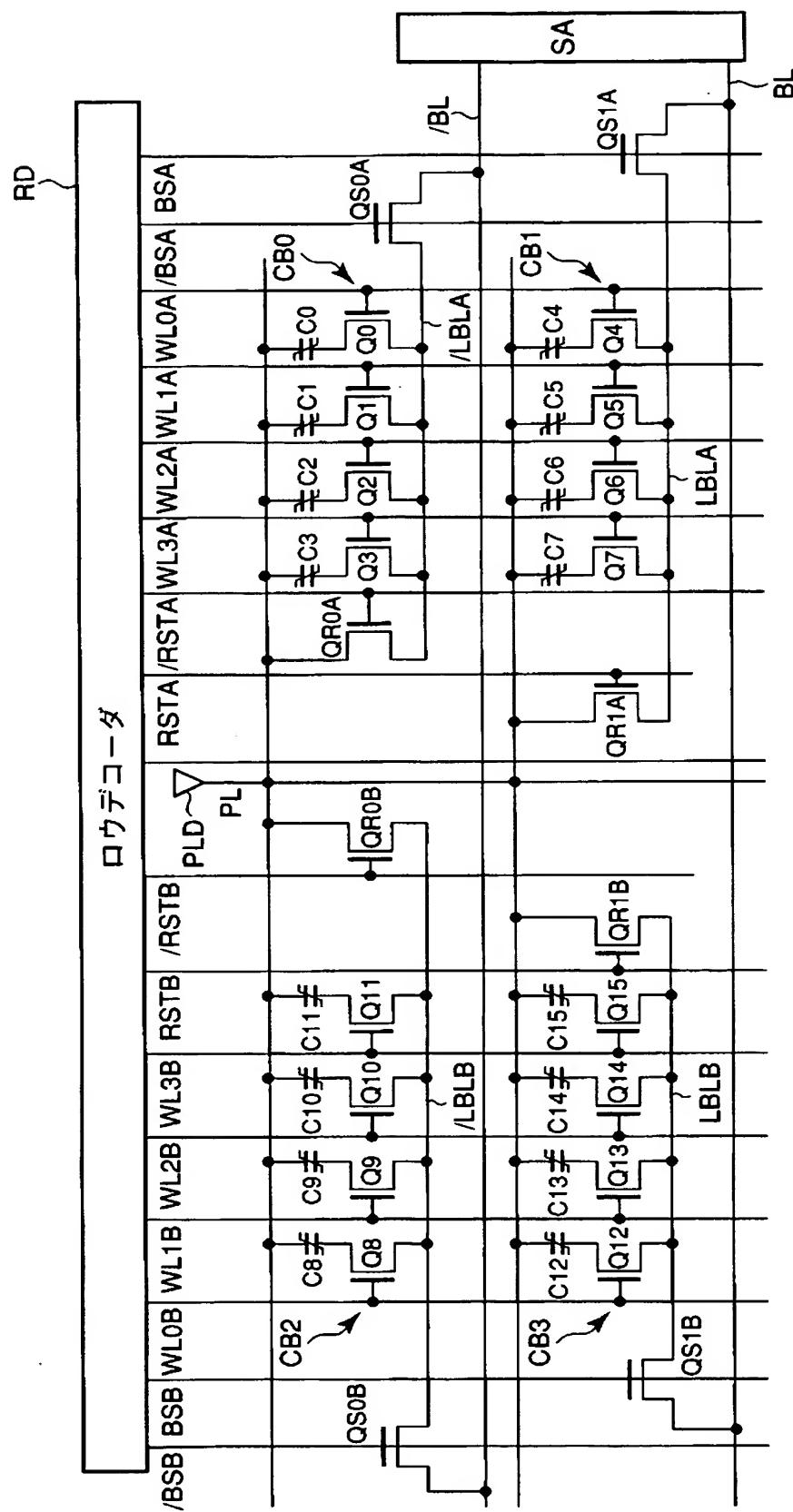
【図74】



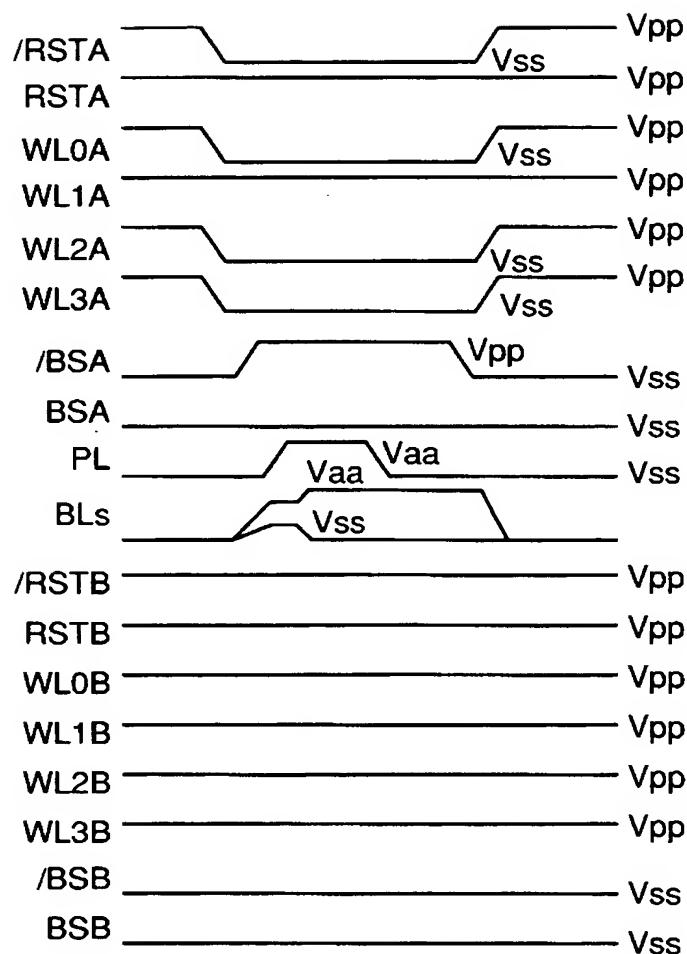
【図75】



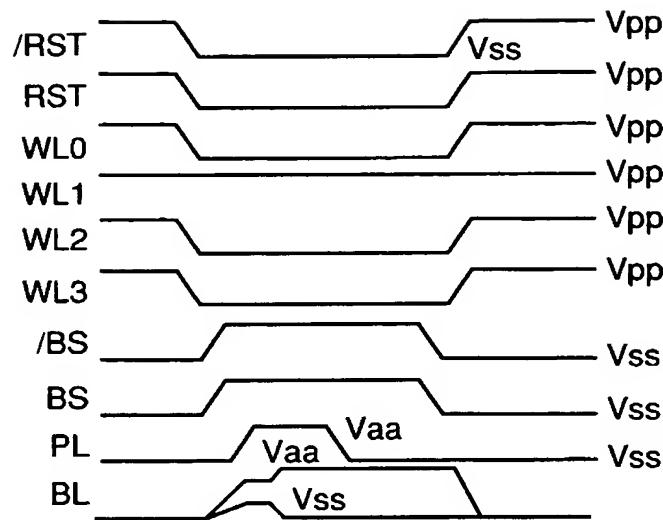
【図76】



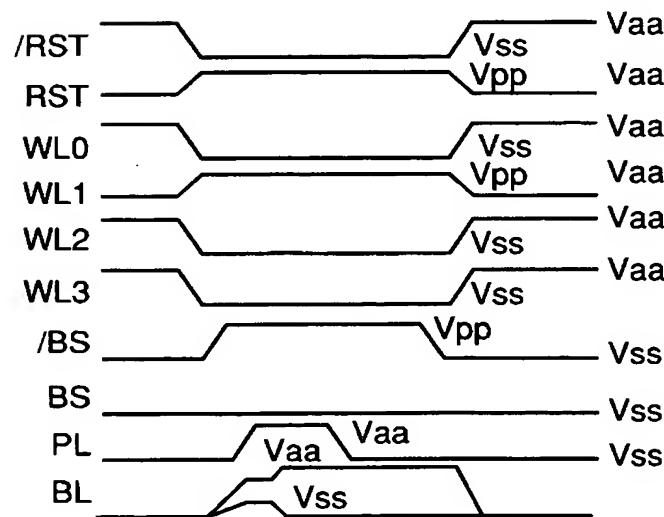
【図77】



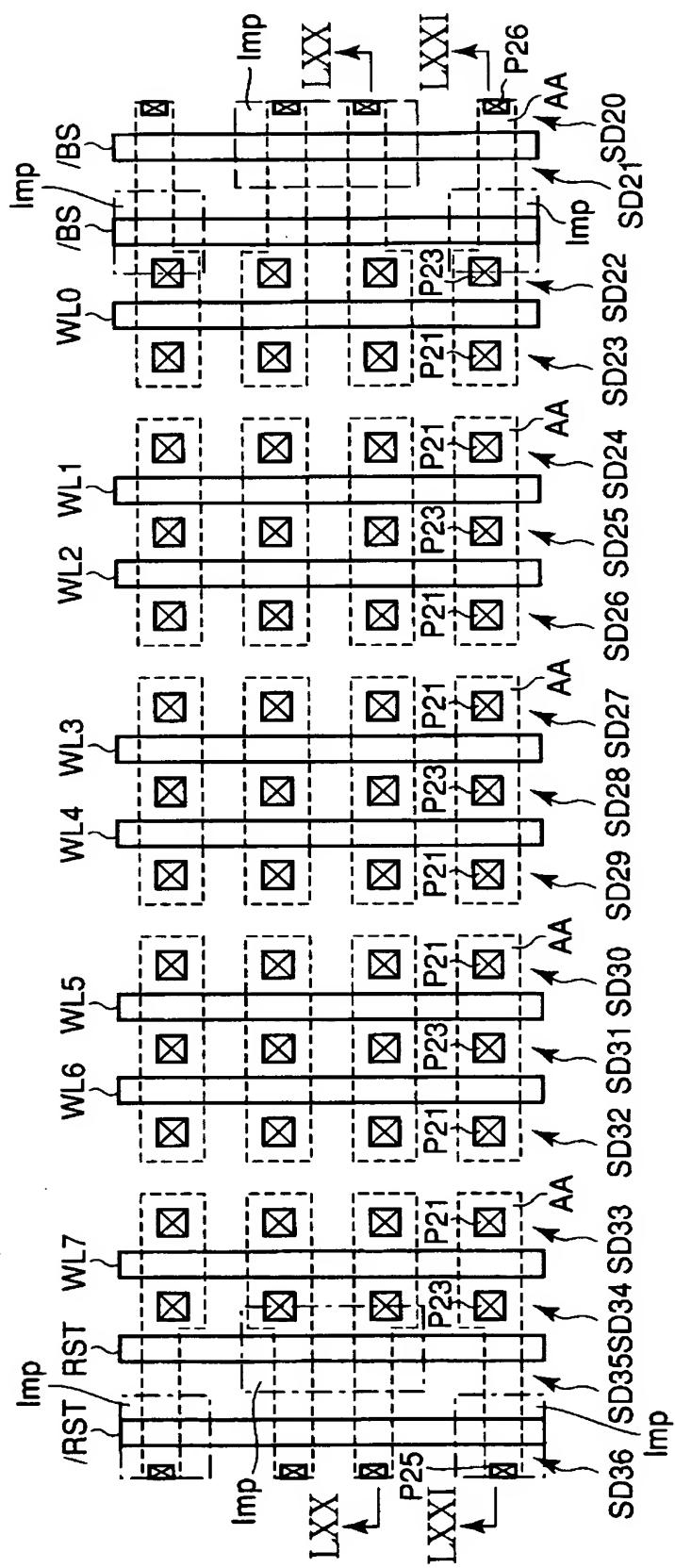
【図 7 8】



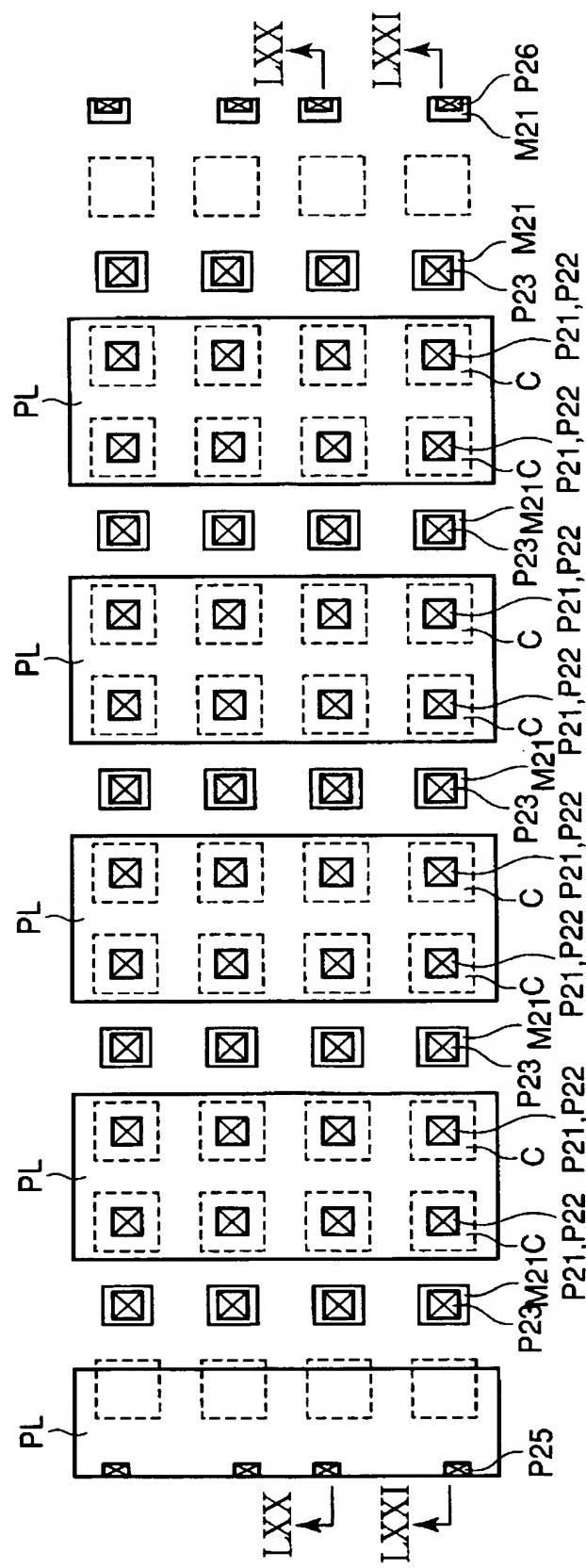
【図 7 9】



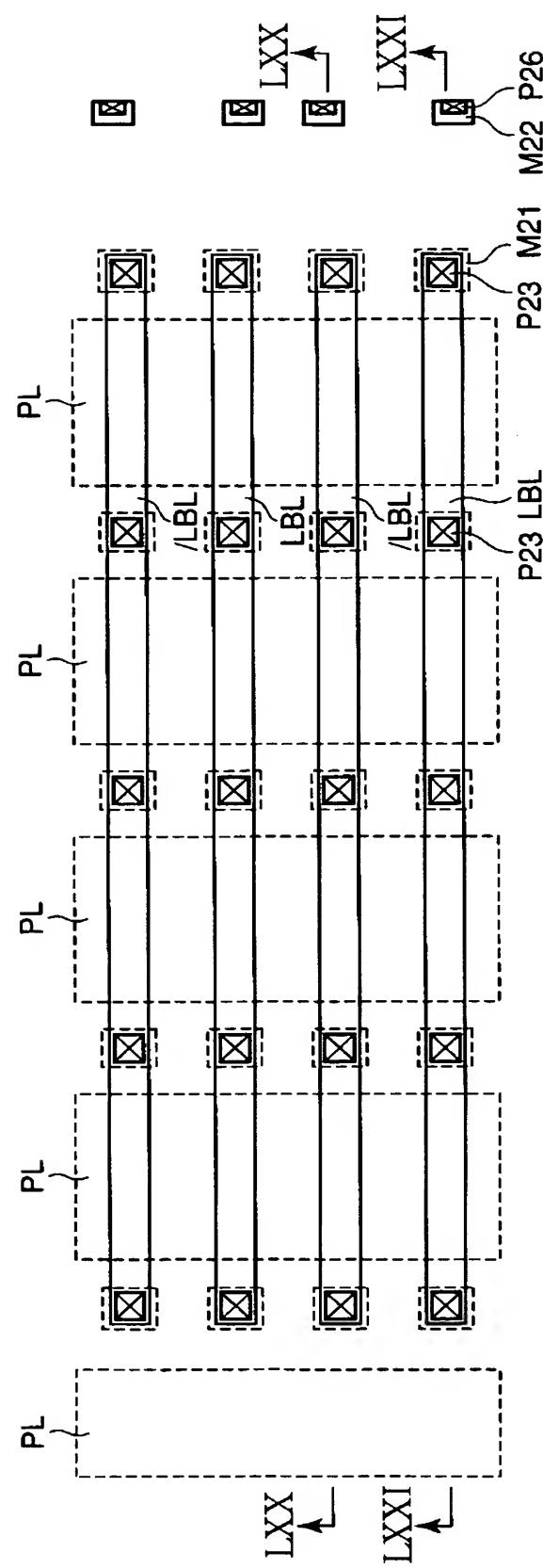
【図 80】



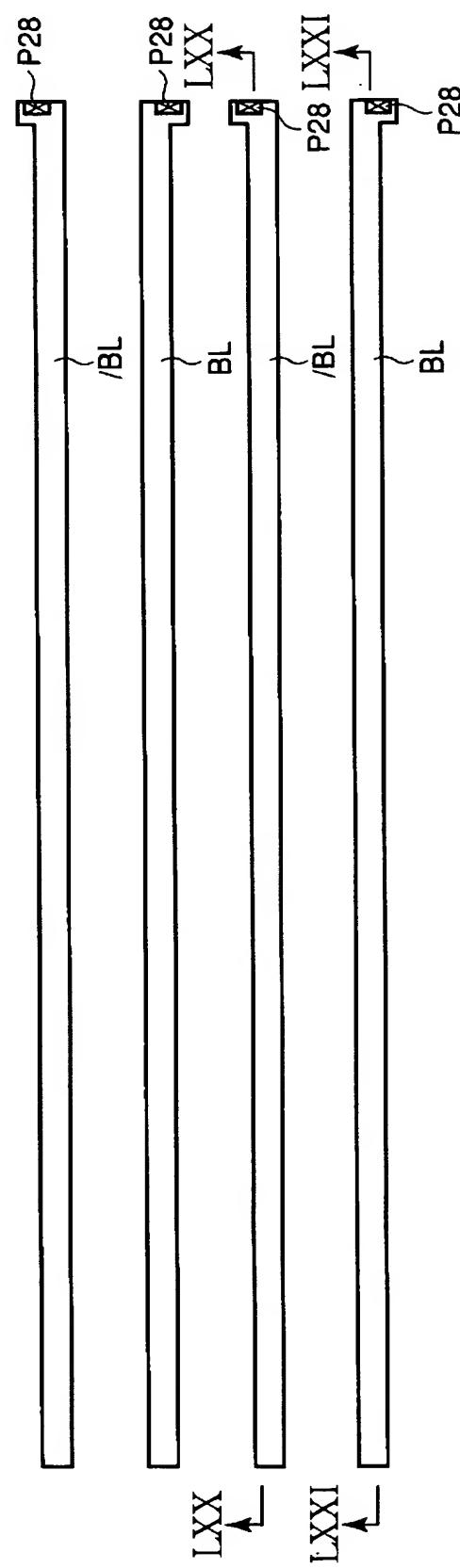
【図 8-1】



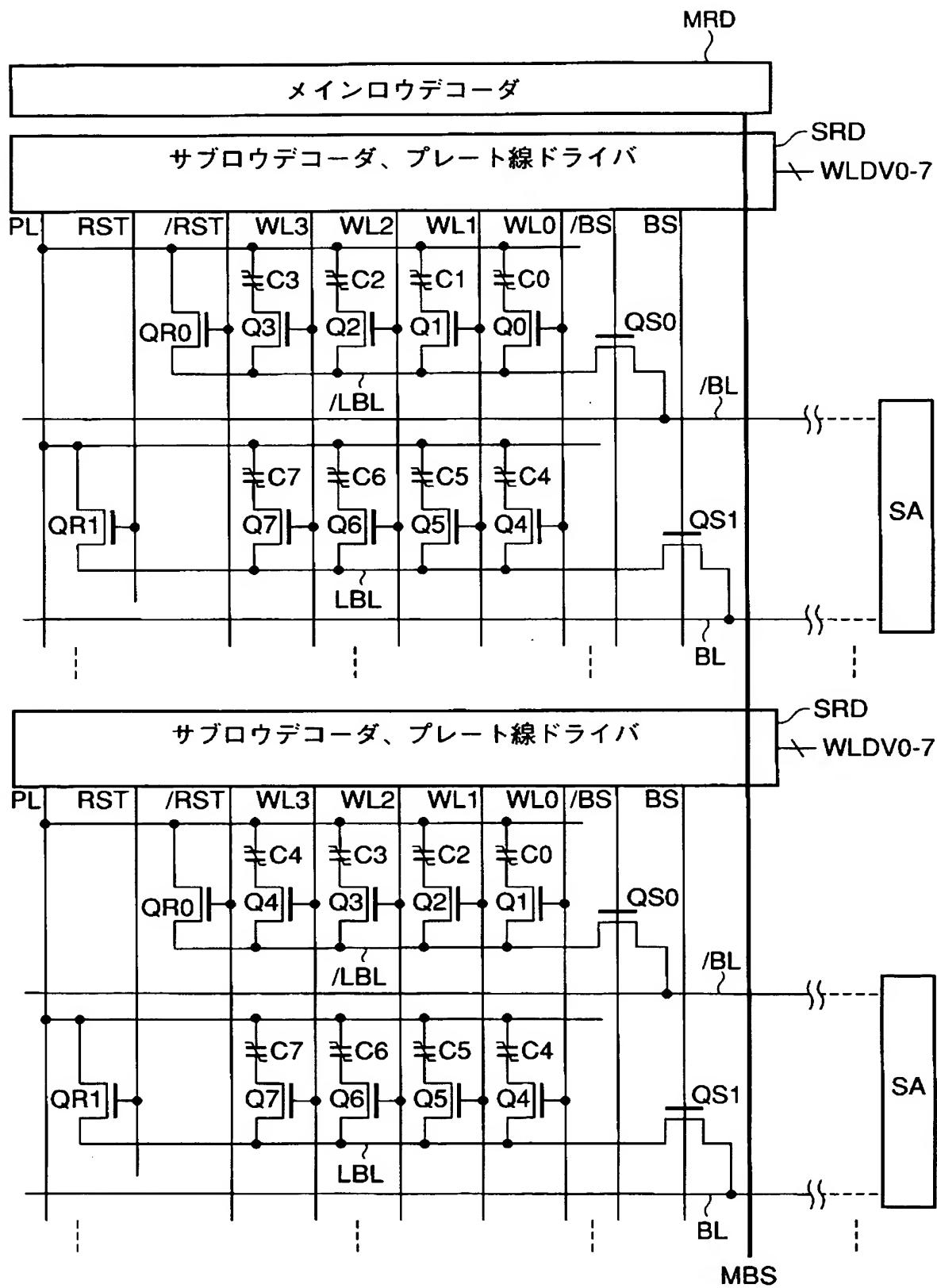
【図82】



【図83】



【図84】



【書類名】要約書

【要約】

【課題】 ある程度の小さいメモリセルを実現しつつ、プレート線を共有化でき、且つメモリセルの直列接続による遅延を無くして高速動作が可能な半導体集積回路装置を提供する。

【解決手段】 半導体集積回路装置は、それぞれが、ゲート端子をワード線と接続されたセルトランジスタQ0～Q3と、セルトランジスタのソース端子に一端を接続された強誘電体キャパシタC0～C3と、を具備する複数の第1メモリセルを具備する。複数の第1メモリセルのそれぞれのセルトランジスタのドレイン端子を第1ローカルビット線LBLとし且つそれぞれの強誘電体キャパシタの他端を第1プレート線PLとして、第1リセットトランジスタは、ソース端子を第1プレート線と接続され、且つドレイン端子を第1ローカルビット線と接続される。第1ブロック選択トランジスタQSは、ソース端子を第1ローカルビット線と接続され、且つドレイン端子を第1ビット線と接続される。

【選択図】 図1

## 認定・付加情報

特許出願の番号	特願2003-429163
受付番号	50302130548
書類名	特許願
担当官	第五担当上席 0094
作成日	平成16年 1月 6日

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

【識別番号】	000003078
【住所又は居所】	東京都港区芝浦一丁目1番1号
【氏名又は名称】	株式会社東芝

## 【代理人】

【識別番号】	100058479
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	鈴江 武彦

## 【選任した代理人】

【識別番号】	100092196
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	橋本 良郎

## 【選任した代理人】

【識別番号】	100091351
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	河野 哲

## 【選任した代理人】

【識別番号】	100088683
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	中村 誠

## 【選任した代理人】

【識別番号】	100108855
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	藏田 昌俊

【選任した代理人】

【識別番号】 100084618

【住所又は居所】 東京都千代田区霞が関3丁目7番2号 鈴槻特許  
綜合法律事務所内

【氏名又は名称】 村松 貞男

特願 2003-429163

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝